

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Shunpei YAMAZAKI et al. Art Unit : Unknown
Serial No. : Unassigned Examiner : Unknown
Filed : March 16, 2001
Title : SEMICONDUCTOR DISPLAY DEVICE AND MANUFACTURING METHOD
THEREOF

Commissioner for Patents
Washington, D.C. 20231



#5
22 Aug 01
P. Tallent

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicants hereby confirm their claim of priority under 35 USC §119 from the following application:

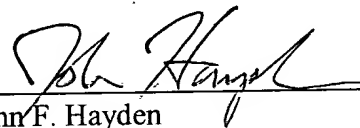
Japan Application No. 2000-086720 filed March 27, 2000

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: March 16, 2001



John F. Hayden
Reg. No. 37,640

Fish & Richardson P.C.
601 Thirteenth Street, NW
Washington, DC 20005
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 3月27日

出 願 番 号

Application Number:

特願2000-086720

出 願 人

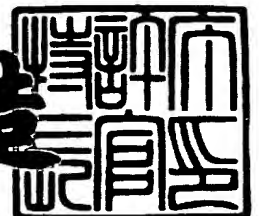
Applicant(s):

株式会社半導体エネルギー研究所

2001年 2月 2日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3004103

【書類名】 特許願

【整理番号】 P004802

【提出日】 平成12年 3月27日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 須沢 英臣

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小野 幸治

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 荒尾 達也

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体表示装置及びその作製方法

【特許請求の範囲】

【請求項 1】

絶縁表面上に接して形成された半導体層と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された第 1 のゲート電極と、前記第 1 のゲート電極上に形成された第 2 のゲート電極と、液晶セルとを有する半導体表示装置であって、

前記半導体層は、前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なるチャネル形成領域と、前記チャネル形成領域に接するように形成された L D D 領域と、前記 L D D 領域に接するように形成されたソース領域及びドレイン領域とを有しており、

前記 L D D 領域は前記第 1 のゲート電極と前記ゲート絶縁膜を間に挟んで重なっており、

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極との間に設けられた液晶とを有しており、

前記ソース領域もしくは前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置。

【請求項 2】

請求項 1 において、前記 L D D 領域は前記第 1 の電極と前記第 2 の電極とをマスクとし、前記半導体層に前記不純物を添加することによって自己整合的に形成されていることを特徴とする半導体表示装置。

【請求項 3】

絶縁表面上に接して形成された半導体層と、ゲート絶縁膜と、第 1 のゲート電極と、第 2 のゲート電極と、第 1 の配線と、第 2 の配線と、第 1 の層間絶縁膜と、第 2 の層間絶縁膜と、中間配線と、液晶セルとを有する半導体表示装置であって、

前記ゲート絶縁膜は前記半導体層を覆って前記絶縁表面上に形成されており、第 1 のゲート電極及び第 1 の配線は前記ゲート絶縁膜上に形成されており、

第 2 のゲート電極と前記第 2 の配線とは、それぞれ前記第 1 のゲート電極と前記第 1 の配線上に形成されており、

前記第 1 のゲート電極及び前記第 1 の配線は第 1 の導電膜から形成されており、

前記第 2 のゲート電極及び前記第 2 の配線は第 2 の導電膜から形成されており、

前記第 1 の層間絶縁膜は、前記第 1 及び第 2 のゲート電極と、前記第 1 及び第 2 の配線と、前記ゲート絶縁膜とを覆って形成されており、

前記第 2 の層間絶縁膜は、前記第 1 の層間絶縁膜上に形成されており、

前記中間配線は、前記第 2 の層間絶縁膜に設けられた第 1 のコンタクトホールを介して前記前記第 1 の層間絶縁膜に接するように、前記第 2 の層間絶縁膜を覆って形成されており、

前記第 1 のコンタクトホールは前記第 2 の配線上に設けられており、

前記半導体層は、前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なるチャネル形成領域と、前記チャネル形成領域に接するように形成された L D D 領域と、前記 L D D 領域に接するように形成されたソース領域及びドレイン領域とを有しており、

前記 L D D 領域は前記第 1 のゲート電極と前記ゲート絶縁膜を間に挟んで重なっており、

前記中間配線は、前記ゲート絶縁膜と、前記第 1 の層間絶縁膜と、第 2 の層間絶縁膜とに設けられた第 2 のコンタクトホールを介して前記ソース領域もしくは前記ドレイン領域に接続されており、

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極との間に設けられた液晶とを有しており、

前記ソース領域もしくは前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置。

【請求項 4】

絶縁表面上に接して形成された半導体層と、ゲート絶縁膜と、第 1 のゲート電極と、第 2 のゲート電極と、第 1 の配線と、第 2 の配線と、第 1 の層間絶縁膜と

、第 2 の層間絶縁膜と、中間配線と、遮蔽膜と、液晶セルとを有する半導体表示装置であって、

前記ゲート絶縁膜は前記半導体層を覆って前記絶縁表面上に形成されており、

第 1 のゲート電極及び第 1 の配線は前記ゲート絶縁膜上に形成されており、

第 2 のゲート電極と前記第 2 の配線とは、それぞれ前記第 1 のゲート電極と前記第 1 の配線上に形成されており、

前記第 1 のゲート電極及び前記第 1 の配線は第 1 の導電膜から形成されており

前記第 2 のゲート電極及び前記第 2 の配線は第 2 の導電膜から形成されており

前記第 1 の層間絶縁膜は、前記第 1 及び第 2 のゲート電極と、前記第 1 及び第 2 の配線と、前記ゲート絶縁膜とを覆って形成されており、

前記第 2 の層間絶縁膜は、前記第 1 の層間絶縁膜上に形成されており、

前記中間配線は、前記第 2 の層間絶縁膜に設けられた第 1 のコンタクトホールを介して前記前記第 1 の層間絶縁膜に接するように、前記第 2 の層間絶縁膜を覆って形成されており、

前記第 1 のコンタクトホールは前記第 2 の配線上に設けられており、

前記半導体層は、前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なるチャネル形成領域と、前記チャネル形成領域に接するように形成された L D D 領域と、前記 L D D 領域に接するように形成されたソース領域及びドレイン領域とを有しており、

前記 L D D 領域は前記第 1 のゲート電極と前記ゲート絶縁膜を間に挟んで重なっており、

前記中間配線は、前記ゲート絶縁膜と、前記第 1 の層間絶縁膜と、第 2 の層間絶縁膜とに設けられた第 2 のコンタクトホールを介して前記ソース領域もしくは前記ドレイン領域に接続されており、

前記遮蔽膜は前記中間配線と同じ導電膜から形成されており、

前記遮蔽膜は少なくとも前記チャネル形成領域の真上に位置するように前記第 2 の層間絶縁膜上に形成されており、

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極との間に設けられた液晶とを有しており、

前記ソース領域もしくは前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置。

【請求項 5】

基板上に形成された遮蔽膜と、前記遮蔽膜を覆って前記基板上に形成された絶縁膜と、前記絶縁膜上に形成された半導体層と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された第 1 のゲート電極と、前記第 1 のゲート電極上に形成された第 2 のゲート電極と、液晶セルとを有する半導体表示装置であって、

前記半導体層は、前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なるチャネル形成領域と、前記チャネル形成領域に接するように形成された L D D 領域と、前記 L D D 領域に接するように形成されたソース領域及びドレイン領域とを有しており、

前記 L D D 領域は前記第 1 のゲート電極と前記ゲート絶縁膜を間に挟んで重なっており、

前記遮蔽膜は前記絶縁膜を介して前記チャネル形成領域と重なっており、

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極との間に設けられた液晶とを有しており、

前記ソース領域もしくは前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置。

【請求項 6】

請求項 5 において、前記絶縁膜は C M P 研磨によって平坦化されていることを特徴とする半導体表示装置。

【請求項 7】

第 1 の薄膜トランジスタと、第 2 の薄膜トランジスタとを有する半導体表示装置であって、

前記第 1 の薄膜トランジスタと前記第 2 の薄膜トランジスタは、絶縁表面上に接して形成された半導体層と、前記半導体層上に形成されたゲート絶縁膜と、前

記ゲート絶縁膜上に形成された第 1 のゲート電極と、前記第 1 のゲート電極上に形成された第 2 のゲート電極と、液晶セルとをそれぞれ有しており、

前記第 1 の薄膜トランジスタが有する前記半導体層は、前記ゲート絶縁膜を間に挟んで前記第 1 の薄膜トランジスタが有する前記第 2 のゲート電極と重なる第 1 のチャンネル形成領域と、前記第 1 のチャンネル形成領域に接するように形成された第 1 の L D D 領域と、前記第 1 の L D D 領域に接するように形成された第 2 の L D D 領域と、前記第 2 の L D D 領域に接するように形成された第 1 のソース領域及び第 1 のドレイン領域とを有しており、

前記第 2 の薄膜トランジスタが有する前記半導体層は、前記ゲート絶縁膜を間に挟んで前記第 2 の薄膜トランジスタが有する前記第 2 のゲート電極と重なる第 2 のチャンネル形成領域と、前記第 2 のチャンネル形成領域に接するように形成された第 3 の L D D 領域と、前記第 3 の L D D 領域に接するように形成された第 2 のソース領域及び第 2 のドレイン領域とを有しており、

前記第 1 の L D D 領域と前記第 3 の L D D 領域とは前記第 1 のゲート電極と前記ゲート絶縁膜を間に挟んで重なっており、

前記第 3 の L D D 領域の不純物濃度は、前記第 1 の L D D 領域の不純物濃度よりも高いことを特徴とする半導体表示装置。

【請求項 8】

請求項 7 において、前記第 2 の L D D 領域の不純物濃度は、前記第 1 の L D D 領域の不純物濃度よりも高いことを特徴とする半導体表示装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか 1 項に記載の前記半導体表示装置を用いることを特徴とするビデオカメラ。

【請求項 10】

請求項 1 乃至請求項 8 のいずれか 1 項に記載の前記半導体表示装置を用いることを特徴とする画像再生装置。

【請求項 11】

請求項 1 乃至請求項 8 のいずれか 1 項に記載の前記半導体表示装置を用いることを特徴とするヘッドマウントディスプレイ。

【請求項 1 2】

請求項 1 乃至請求項 8 のいずれか 1 項に記載の前記半導体表示装置を用いることを特徴とするパーソナルコンピュータ。

【請求項 1 3】

絶縁表面上に接して半導体層を形成する工程と、

前記半導体層を覆って前記絶縁表面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に第 1 の導電膜を形成する工程と、

前記第 1 の導電膜上に第 2 の導電膜を形成する工程と、

前記第 1 の導電膜と前記第 2 の導電膜をパターニングして第 1 のゲート電極と第 2 のゲート電極とを形成する工程と、

前記半導体層の前記第 1 及び第 2 のゲート電極が形成されている方から前記半導体層に第 1 の不純物を添加することで、前記ゲート絶縁膜を間に挟んで前記半導体層の前記第 2 のゲート電極と重なる領域にチャネル形成領域を形成する工程と、

前記第 1 のゲート電極と前記第 2 のゲート電極とを覆って前記半導体層上にマスクを形成し、前記半導体層の前記マスクが形成されている方から前記第 1 の不純物と同じ導電型を有する第 2 の不純物を添加することで、前記半導体層中に前記チャネル形成領域に接する第 1 の L D D 領域と、前記第 1 の L D D 領域に接する第 2 の L D D 領域と、前記第 2 の L D D 領域に接するソース領域及びドレイン領域とを形成する工程と、

を有する半導体表示装置の作製方法であって、

チャネル長方向において、前記第 1 のゲート電極は前記第 2 のゲート電極よりも長く、

前記第 1 の L D D 領域は、前記第 1 のゲート電極と前記ゲート絶縁膜を間に挟んで重なっていることを特徴とする半導体表示装置の作製方法。

【請求項 1 4】

絶縁表面上に接して半導体層を形成する工程と、

前記半導体層を覆って前記絶縁表面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に第 1 の導電膜を形成する工程と、

前記第 1 の導電膜上に第 2 の導電膜を形成する工程と、

前記第 1 の導電膜と前記第 2 の導電膜をパターンニングして第 1 のゲート電極と第 2 のゲート電極とを形成する工程と、

前記半導体層の前記第 1 及び第 2 のゲート電極が形成されている方から前記半導体層に第 1 の不純物を添加することで前記半導体層中にチャネル形成領域を形成する工程と、

前記第 1 のゲート電極と前記第 2 のゲート電極とを覆って前記半導体層上にマスクを形成し、前記半導体層の前記マスクが形成されている方から前記第 1 の不純物と同じ導電型を有する第 2 の不純物を添加することで、前記半導体層中に前記チャネル形成領域に接する第 1 の L D D 領域と、前記第 1 の L D D 領域に接する第 2 の L D D 領域と、前記第 2 の L D D 領域に接するソース領域及びドレイン領域とを形成する工程と、

を有する半導体表示装置の作製方法であって、

チャネル長方向において、前記第 1 のゲート電極は前記第 2 のゲート電極よりも長く、

前記第 1 の L D D 領域は前記第 1 のゲート電極と前記ゲート絶縁膜を間に挟んで重なっていることを特徴とする半導体表示装置の作製方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は半導体素子（半導体薄膜を用いた素子）を用いた半導体表示装置、中でも特に液晶ディスプレイに関する。また液晶ディスプレイを表示部に用いた電子機器に関する。

【 0 0 0 2 】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 n m 程度）を用いて薄膜トランジスタ（T F T）を構成する技術が注目されている。薄膜トランジスタは I C や半導体表示装置のような電子デバイスに広く応用され、特に液晶表示装置、液晶ディスプレイのスイッチング素子として開発が急がれて

いる。

【 0 0 0 3 】

アクティブマトリクス型の液晶ディスプレイは、画素部が有する複数の画素にそれぞれTFT（画素TFT）と、液晶セルとを有している。液晶セルは、画素電極と、対向電極と、画素電極と対向電極の間に設けられた液晶とを有している。そして画素電極にかかる電圧を画素TFTによって制御することで、画素部に画像が表示される。

【 0 0 0 4 】

半導体層に結晶構造を有する半導体膜を用いたTFT（結晶質TFT）は高移動度を得られることから、同一基板上に機能回路を集積させて高精細な画像表示を行う液晶ディスプレイを実現することが可能である。

【 0 0 0 5 】

本明細書において、前記結晶構造を有する半導体膜とは、単結晶半導体、多結晶半導体、微結晶半導体を含むものであり、さらに、特開平7-130652号公報、特開平8-78329号公報、特開平10-135468号公報、または特開平10-135469号公報で開示された半導体を含んでいる。

【 0 0 0 6 】

アクティブマトリクス型液晶ディスプレイを構成するためには、画素部だけでも100～200万個の結晶質TFTが必要となり、さらに周辺に設けられる機能回路を付加するとそれ以上の結晶質TFTが必要であった。液晶ディスプレイに要求される仕様は厳しく、画像表示を安定して行うためには、個々の結晶質TFTの信頼性を確保することが必要であった。

【 0 0 0 7 】

TFTの特性はオン状態とオフ状態の2つの状態に分けて考えることができる。オン状態の特性からは、オン電流、移動度、S値、しきい値などの特性を知ることができ、オフ状態の特性ではオフ電流が重視されている。

【 0 0 0 8 】

しかし、結晶質TFTはオフ電流が高くなりやすいという問題点があった。

【 0 0 0 9 】

また、結晶質 T F T は信頼性の面で依然 L S I などに用いられる M O S トランジスタ（単結晶半導体基板上に作製されるトランジスタ）に及ばないとされている。例えば、結晶質 T F T を連続駆動させると移動度やオン電流（T F T がオン状態にある時に流れる電流）の低下、オフ電流（T F T がオフ状態にある時に流れる電流）の増加といった劣化現象が観測されることがあった。この原因はホットキャリア効果であり、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすものと考えられた。

【 0 0 1 0 】

M O S トランジスタでは、オフ電流を下げ、ドレイン近傍の高電界を緩和する方法として、低濃度ドレイン（L D D : Lightly Doped Drain）構造が知られている。この構造はチャネル領域の外側に低濃度の不純物領域を設けたものであり、この低濃度不純物領域を L D D 領域と呼んでいる。

【 0 0 1 1 】

特に L D D 領域がゲート絶縁膜を介してゲート電極と重なる構造（G O L D（Gate-drain Overlapped LDD）構造）を有している場合、ドレイン近傍の高電界を緩和してホットキャリア効果を防ぎ、信頼性を向上させることができた。なお本明細書において L D D 領域がゲート絶縁膜を介してゲート電極と重なる領域を L o v 領域（第 1 の L D D 領域）と呼ぶ。

【 0 0 1 2 】

なお G O L D（Gate-drain Overlapped LDD）構造は、L A T I D（Large-tilt-angle implanted drain）構造、または、I T L D D（Inverse T LDD）構造等としても知られている。そして、例えば、「Mutsuko Hatano, Hajime Akimoto and Takeshi Sakai, IEDM97 TECHNICAL DIGEST, p523-526, 1997」では、シリコンで形成したサイドウォールによる G O L D 構造であるが、他の構造の T F T と比べ、きわめて優れた信頼性が得られることが確認されている。

【 0 0 1 3 】

なお本明細書において L D D 領域がゲート絶縁膜を介してゲート電極と重ならない領域を L o f f 領域（第 2 の L D D 領域）と呼ぶ。

【 0 0 1 4 】

L o f f 領域と L o v 領域を併せ持つ T F T の作製方法はすでいくつか提案されている。L o v 領域と L o f f 領域とを形成する方法としては、セルフアラインは用いずにマスクのみで形成する方法と、互いに幅の異なる 2 層のゲート電極及びゲート絶縁膜を用いてセルフアラインのみで形成する方法とが挙げられる。

【 0 0 1 5 】

しかしマスクのみを用いる場合、L o v 領域と L o f f 領域を形成するのに 2 枚のマスクが必要となり、工程数が増加してしまう。一方セルフアラインのみによって L o v 領域と L o f f 領域を形成する場合、マスクの数を増やさなくても良いので、工程数を抑えることは可能である。しかしゲート電極の幅とゲート絶縁膜の厚さはそのまま L o v 領域と L o f f 領域の形成される位置に影響を与える。ゲート電極とゲート絶縁膜のエッチングレートはたいていの場合大きく異なっており、エッチングによって、L o v 領域と L o f f 領域の微妙な位置あわせを制御するのが難しい。

【 0 0 1 6 】

【発明が解決しようとする課題】

本発明は上記のことに鑑み、L o v 領域及び L o f f 領域を形成する際にマスクの数を抑え、また L o v 領域と L o f f 領域を所望の位置に容易に形成できるようにすることを課題とする。またオン状態とオフ状態の両方で良好な特性が得られる結晶質 T F T を実現することを課題とする。そして、そのような結晶質 T F T で回路を形成した半導体回路を有する信頼性の高い半導体表示装置を実現することを課題とする。

【 0 0 1 7 】

【課題を解決するための手段】

本発明は、ゲート電極を用いたセルフアラインとマスクとを用いて不純物を添加し、L o v 領域と L o f f 領域を形成した。ゲート電極は 2 層の導電膜から形成されており、下に位置する層（第 1 のゲート電極）は上に位置する層（第 2 のゲート電極）よりも、チャンネル長方向において長くなっている。

【 0 0 1 8 】

なお本明細書においてチャンネル長方向とは、ソース領域とドレイン領域の間をキャリアが移動する方向である。

【 0 0 1 9 】

本発明では、第 1 のゲート電極と第 2 のゲート電極のチャンネル長方向（キャリアが移動する方向）の長さ（以下単にゲート電極の幅と呼ぶ）が異なっている。そのため、第 1 及び第 2 のゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、第 2 のゲート電極の下に位置する半導体層中のイオン濃度を、第 2 のゲート電極の下に位置せず、かつ第 1 のゲート電極の下に位置する半導体層中のイオン濃度より低くすることが可能である。そしてさらに、第 2 のゲート電極の下に位置せず、かつ第 1 のゲート電極の下に位置する半導体層中のイオン濃度を、第 1 のゲート電極の下に位置しない半導体層中のイオン濃度より低くすることが可能である。

【 0 0 2 0 】

またマスクを用いて L o f f 領域を形成するために、エッチングで制御しなくてはならないのは第 1 のゲート電極と第 2 のゲート電極の幅のみであり、L o f f 領域と L o v 領域の位置の制御が従来に比べて容易になった。よって、L o v 領域と L o f f 領域の微妙な位置あわせが容易になり、所望の特性を有する T F T を作製することが容易になった。

【 0 0 2 1 】

本発明によって、

絶縁表面上に接して形成された半導体層と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された第 1 のゲート電極と、前記第 1 のゲート電極上に形成された第 2 のゲート電極と、液晶セルとを有する半導体表示装置であって、

前記半導体層は、前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なるチャンネル形成領域と、前記チャンネル形成領域に接するように形成された L D D 領域と、前記 L D D 領域に接するように形成されたソース領域及びドレイン領域とを有しており、

前記 L D D 領域は前記第 1 のゲート電極と前記ゲート絶縁膜を間に挟んで重なっており、

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極との間に設けられた液晶とを有しており、

前記ソース領域もしくは前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置が提供される。

【 0 0 2 2 】

前記 L D D 領域は前記第 1 の電極と前記第 2 の電極とをマスクとし、前記半導体層に前記不純物を添加することによって自己整合的に形成されていることを特徴としていても良い。

【 0 0 2 3 】

本発明によって、

絶縁表面上に接して形成された半導体層と、ゲート絶縁膜と、第 1 のゲート電極と、第 2 のゲート電極と、第 1 の配線と、第 2 の配線と、第 1 の層間絶縁膜と、第 2 の層間絶縁膜と、中間配線と、液晶セルとを有する半導体表示装置であって、

前記ゲート絶縁膜は前記半導体層を覆って前記絶縁表面上に形成されており、

第 1 のゲート電極及び第 1 の配線は前記ゲート絶縁膜上に形成されており、

第 2 のゲート電極と前記第 2 の配線とは、それぞれ前記第 1 のゲート電極と前記第 1 の配線上に形成されており、

前記第 1 のゲート電極及び前記第 1 の配線は第 1 の導電膜から形成されており

前記第 2 のゲート電極及び前記第 2 の配線は第 2 の導電膜から形成されており

前記第 1 の層間絶縁膜は、前記第 1 及び第 2 のゲート電極と、前記第 1 及び第 2 の配線と、前記ゲート絶縁膜とを覆って形成されており、

前記第 2 の層間絶縁膜は、前記第 1 の層間絶縁膜上に形成されており、

前記中間配線は、前記第 2 の層間絶縁膜に設けられた第 1 のコンタクトホールを介して前記前記第 1 の層間絶縁膜に接するように、前記第 2 の層間絶縁膜を覆

って形成されており、

前記第 1 のコンタクトホールは前記第 2 の配線上に設けられており、

前記半導体層は、前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なるチャンネル形成領域と、前記チャンネル形成領域に接するように形成された L D D 領域と、前記 L D D 領域に接するように形成されたソース領域及びドレイン領域とを有しており、

前記 L D D 領域は前記第 1 のゲート電極と前記ゲート絶縁膜を間に挟んで重なっており、

前記中間配線は、前記ゲート絶縁膜と、前記第 1 の層間絶縁膜と、第 2 の層間絶縁膜とに設けられた第 2 のコンタクトホールを介して前記ソース領域もしくは前記ドレイン領域に接続されており、

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極との間に設けられた液晶とを有しており、

前記ソース領域もしくは前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置が提供される。

【 0 0 2 4 】

本発明によって、

絶縁表面上に接して形成された半導体層と、ゲート絶縁膜と、第 1 のゲート電極と、第 2 のゲート電極と、第 1 の配線と、第 2 の配線と、第 1 の層間絶縁膜と、第 2 の層間絶縁膜と、中間配線と、遮蔽膜と、液晶セルとを有する半導体表示装置であって、

前記ゲート絶縁膜は前記半導体層を覆って前記絶縁表面上に形成されており、

第 1 のゲート電極及び第 1 の配線は前記ゲート絶縁膜上に形成されており、

第 2 のゲート電極と前記第 2 の配線とは、それぞれ前記第 1 のゲート電極と前記第 1 の配線上に形成されており、

前記第 1 のゲート電極及び前記第 1 の配線は第 1 の導電膜から形成されており、

前記第 2 のゲート電極及び前記第 2 の配線は第 2 の導電膜から形成されており、

前記第 1 の層間絶縁膜は、前記第 1 及び第 2 のゲート電極と、前記第 1 及び第 2 の配線と、前記ゲート絶縁膜とを覆って形成されており、

前記第 2 の層間絶縁膜は、前記第 1 の層間絶縁膜上に形成されており、

前記中間配線は、前記第 2 の層間絶縁膜に設けられた第 1 のコンタクトホールを介して前記前記第 1 の層間絶縁膜に接するように、前記第 2 の層間絶縁膜を覆って形成されており、

前記第 1 のコンタクトホールは前記第 2 の配線上に設けられており、

前記半導体層は、前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なるチャネル形成領域と、前記チャネル形成領域に接するように形成された L D D 領域と、前記 L D D 領域に接するように形成されたソース領域及びドレイン領域とを有しており、

前記 L D D 領域は前記第 1 のゲート電極と前記ゲート絶縁膜を間に挟んで重なっており、

前記中間配線は、前記ゲート絶縁膜と、前記第 1 の層間絶縁膜と、第 2 の層間絶縁膜とに設けられた第 2 のコンタクトホールを介して前記ソース領域もしくは前記ドレイン領域に接続されており、

前記遮蔽膜は前記中間配線と同じ導電膜から形成されており、

前記遮蔽膜は少なくとも前記チャネル形成領域の真上に位置するように前記第 2 の層間絶縁膜上に形成されており、

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極との間に設けられた液晶とを有しており、

前記ソース領域もしくは前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置が提供される。

【 0 0 2 5 】

本発明によって、

基板上に形成された遮蔽膜と、前記遮蔽膜を覆って前記基板上に形成された絶縁膜と、前記絶縁膜上に形成された半導体層と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された第 1 のゲート電極と、前記第 1 のゲート電極上に形成された第 2 のゲート電極と、液晶セルとを有する半導体表

示装置であって、

前記半導体層は、前記ゲート絶縁膜を間に挟んで前記第 2 のゲート電極と重なるチャンネル形成領域と、前記チャンネル形成領域に接するように形成された L D D 領域と、前記 L D D 領域に接するように形成されたソース領域及びドレイン領域とを有しており、

前記 L D D 領域は前記第 1 のゲート電極と前記ゲート絶縁膜を間に挟んで重なっており、

前記遮蔽膜は前記絶縁膜を介して前記チャンネル形成領域と重なっており、

前記液晶セルは画素電極と、対向電極と、前記画素電極と前記対向電極との間に設けられた液晶とを有しており、

前記ソース領域もしくは前記ドレイン領域は、前記画素電極と電氣的に接続されていることを特徴とする半導体表示装置が提供される。

【 0 0 2 6 】

前記絶縁膜は C M P 研磨によって平坦化されていることを特徴としても良い。

【 0 0 2 7 】

本発明によって、

第 1 の薄膜トランジスタと、第 2 の薄膜トランジスタとを有する半導体表示装置であって、

前記第 1 の薄膜トランジスタと前記第 2 の薄膜トランジスタは、絶縁表面上に接して形成された半導体層と、前記半導体層上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された第 1 のゲート電極と、前記第 1 のゲート電極上に形成された第 2 のゲート電極と、液晶セルとをそれぞれ有しており、

前記第 1 の薄膜トランジスタが有する前記半導体層は、前記ゲート絶縁膜を間に挟んで前記第 1 の薄膜トランジスタが有する前記第 2 のゲート電極と重なる第 1 のチャンネル形成領域と、前記第 1 のチャンネル形成領域に接するように形成された第 1 の L D D 領域と、前記第 1 の L D D 領域に接するように形成された第 2 の L D D 領域と、前記第 2 の L D D 領域に接するように形成された第 1 のソース領域及び第 1 のドレイン領域とを有しており、

前記第 2 の薄膜トランジスタが有する前記半導体層は、前記ゲート絶縁膜を間に挟んで前記第 2 の薄膜トランジスタが有する前記第 2 のゲート電極と重なる第 2 のチャネル形成領域と、前記第 2 のチャネル形成領域に接するように形成された第 3 の LDD 領域と、前記第 3 の LDD 領域に接するように形成された第 2 のソース領域及び第 2 のドレイン領域とを有しており、

前記第 1 の LDD 領域と前記第 3 の LDD 領域とは前記第 1 のゲート電極と前記ゲート絶縁膜を間に挟んで重なっており、

前記第 3 の LDD 領域の不純物濃度は、前記第 1 の LDD 領域の不純物濃度よりも高いことを特徴とする半導体表示装置が提供される。

【 0 0 2 8 】

前記第 2 の LDD 領域の不純物濃度は、前記第 1 の LDD 領域の不純物濃度よりも高いことを特徴としても良い。

【 0 0 2 9 】

本発明は、前記半導体表示装置を用いることを特徴とするビデオカメラ、画像再生装置、ヘッドマウントディスプレイまたはパーソナルコンピュータであっても良い。

【 0 0 3 0 】

本発明によって、

絶縁表面上に接して半導体層を形成する工程と、

前記半導体層を覆って前記絶縁表面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に第 1 の導電膜を形成する工程と、

前記第 1 の導電膜上に第 2 の導電膜を形成する工程と、

前記第 1 の導電膜と前記第 2 の導電膜をパターニングして第 1 のゲート電極と第 2 のゲート電極とを形成する工程と、

前記半導体層の前記第 1 及び第 2 のゲート電極が形成されている方から前記半導体層に第 1 の不純物を添加することで、前記ゲート絶縁膜を間に挟んで前記半導体層の前記第 2 のゲート電極と重なる領域にチャネル形成領域を形成する工程と、

前記第 1 のゲート電極と前記第 2 のゲート電極とを覆って前記半導体層上にマ

スクを形成し、前記半導体層の前記マスクが形成されている方から前記第 1 の不純物と同じ導電型を有する第 2 の不純物を添加することで、前記半導体層中に前記チャネル形成領域に接する第 1 の L D D 領域と、前記第 1 の L D D 領域に接する第 2 の L D D 領域と、前記第 2 の L D D 領域に接するソース領域及びドレイン領域とを形成する工程と、

を有する半導体表示装置の作製方法であって、

チャネル長方向において、前記第 1 のゲート電極は前記第 2 のゲート電極よりも長く、

前記第 1 の L D D 領域は、前記第 1 のゲート電極と前記ゲート絶縁膜を間に挟んで重なっていることを特徴とする半導体表示装置の作製方法が提供される。

【 0 0 3 1 】

本発明によって、

絶縁表面上に接して半導体層を形成する工程と、

前記半導体層を覆って前記絶縁表面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に第 1 の導電膜を形成する工程と、

前記第 1 の導電膜上に第 2 の導電膜を形成する工程と、

前記第 1 の導電膜と前記第 2 の導電膜をパターンニングして第 1 のゲート電極と第 2 のゲート電極とを形成する工程と、

前記半導体層の前記第 1 及び第 2 のゲート電極が形成されている方から前記半導体層に第 1 の不純物を添加することで前記半導体層中にチャネル形成領域を形成する工程と、

前記第 1 のゲート電極と前記第 2 のゲート電極とを覆って前記半導体層上にマスクを形成し、前記半導体層の前記マスクが形成されている方から前記第 1 の不純物と同じ導電型を有する第 2 の不純物を添加することで、前記半導体層中に前記チャネル形成領域に接する第 1 の L D D 領域と、前記第 1 の L D D 領域に接する第 2 の L D D 領域と、前記第 2 の L D D 領域に接するソース領域及びドレイン領域とを形成する工程と、

を有する半導体表示装置の作製方法であって、

チャネル長方向において、前記第 1 のゲート電極は前記第 2 のゲート電極より

も長く、

前記第 1 の L D D 領域は前記第 1 のゲート電極と前記ゲート絶縁膜を間に挟んで重なっていることを特徴とする半導体表示装置の作製方法が提供される。

【 0 0 3 2 】

以下に本発明の構成を示す。

【 0 0 3 3 】

【発明の実施の形態】

図 1 に本発明の薄膜トランジスタの構造およびその作製方法を示す。

【 0 0 3 4 】

基板 1 0 0 上に下地膜 1 0 1 を形成する。下地膜 1 0 1 は形成しなくとも良いが、下地膜 1 0 1 を形成することは基板 1 0 0 から半導体層への不純物拡散を防ぐのに有効である。そして下地膜 1 0 1 上に公知の方法で形成された結晶質半導体膜からなる半導体層 1 0 2、1 0 3 を形成する。

【 0 0 3 5 】

半導体層 1 0 2、1 0 3 を覆うようにゲート絶縁膜 1 0 4 を形成する。そしてゲート絶縁膜 1 0 4 上にゲート電極を形成するための第 1 の導電 1 0 5 と第 2 の導電膜 1 0 6 とを形成する。なお第 1 の導電膜 1 0 5 と第 2 の導電膜 1 0 6 は、エッチングで選択比の取れる導電性材料であることが必要である。(図 1 (A))

【 0 0 3 6 】

次に、半導体層 1 0 2、1 0 3 上にレジストによるマスク 1 0 7、1 0 8 を形成する。そしてマスク 1 0 7、1 0 8 を用いて第 1 の導電膜 1 0 5 と第 2 の導電膜 1 0 6 をエッチングする(第 1 のエッチング処理)ことで第 1 の形状の導電層 1 0 9、1 1 0 (第 1 の導電層 1 0 9 a、1 1 0 a、第 2 の導電層 1 0 9 b、1 1 0 b) が形成される。(図 1 (B))

【 0 0 3 7 】

ここで図 2 (A) に図 1 (B) における第 1 の形状の導電層 1 0 9、1 1 0 の拡大図を示す。図 2 (A) 示すように第 1 の導電層 1 0 9 a、1 1 0 a 及び第 2 の導電層 1 0 9 b、1 1 0 b の端部はテーパ形状となる。またゲート絶縁膜 1

04は、上記エッチングによって第1の形状の導電層109、110で覆われない領域がエッチングされ薄くなり、第1の形状のゲート絶縁膜104aとなる。

【0038】

次に、図1(C)に示すように第2のエッチング処理を行う。第1の形状の第2の導電層109b、110bを異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層109a、110aを異方性エッチングし、第2の形状の導電層113、114（第1の導電層113a、114aと第2の導電層113b、114b）を形成する。

【0039】

ここで、図2(B)に図1(C)における第2の形状の導電層113、114の拡大図を示す。図2(B)示すように、第2のエッチング処理により第2の導電層113b、114bは第1の導電層113a、114aよりもよりたくさんエッチングされている。また、マスク107、108は第2のエッチング処理によってエッチングされ、マスク111、112となっている。また、第1の形状のゲート絶縁膜104aは、上記エッチングによって第2の形状の導電層113、114で覆われない領域がさらにエッチングされ薄くなり、第2の形状のゲート絶縁膜104bとなる。

【0040】

マスク111、112を除去し、図1(D)に示すように半導体層102、103に第1のドーピング処理を行い、n型を付与する不純物元素を添加する。ドーピングは、第2の形状の導電層113、114を不純物元素に対するマスクとして用い、第2の形状の第2の導電層113a、114aの下側の領域にも不純物元素が添加されるようにドーピングする。

【0041】

こうして、第2の導電層113a、114aと重なる第1の不純物領域115、116と、第1の不純物領域よりも不純物の濃度が高い第2の不純物領域117、118とが形成される。なお本実施例ではマスク111、112を除去してからn型を付与する不純物元素を添加したが、本発明はこれに限定されない。図1(D)の工程においてn型を付与する不純物元素を添加してからマスク111

、 1 1 2 を除去しても良い。

【 0 0 4 2 】

次に第 2 の形状の導電層 1 1 4 を覆うように半導体層 1 0 3 上にレジストからなるマスク 1 1 9 を形成する。マスク 1 1 9 は第 2 の形状のゲート絶縁膜 1 0 4 b を間に挟んで第 2 の不純物領域 1 1 8 と一部重なっている。そして第 2 のドーピング処理を行い n 型を付与する不純物元素を添加する。この場合、第 1 のドーピング処理よりもドーズ量を上げて低い加速電圧の条件として n 型を付与する不純物元素をドーピングする。第 2 のドーピング処理によって、チャネル形成領域 1 2 4 及び L o v 領域 1 2 3 の他に、自己整合的にソース領域 1 2 0、ドレイン領域 1 2 1、L o f f 領域 1 2 2 が半導体層 1 0 3 に形成される。また第 2 の形状の第 1 の導電層 1 1 3 a をマスクとした第 2 のドーピング処理によって、半導体層 1 0 2 に第 3 の不純物領域 1 2 5 が形成される。(図 1 (E))

【 0 0 4 3 】

本発明はマスク 1 1 9 のサイズを制御することで、L o f f 領域 1 2 2 のサイズを自由に設定することが可能である。

【 0 0 4 4 】

そして、図 1 (F) に示すように、n チャネル型 T F T を形成する半導体層 1 0 3 はレジストマスク 1 2 6 で全面を被覆する。そして第 2 の形状の導電層 1 1 3 を不純物元素に対するマスクとして用いた第 3 のドーピング処理によって、p チャネル型 T F T を形成する半導体層 1 0 2 に p 型を付与する不純物元素を有するソース領域 1 2 7、ドレイン領域 1 2 8 及び L o v 領域 1 2 9 とチャネル形成領域 1 3 0 を自己整合的に形成する。

【 0 0 4 5 】

ソース領域 1 2 7、ドレイン領域 1 2 8 及び L o v 領域 1 2 9 にはそれぞれ異なる濃度で n 型を付与する不純物が添加されているが、p 型を付与する不純物元素の濃度が n 型を付与する不純物元素の濃度よりも十分になるようにすることで、ソース領域 1 2 7、ドレイン領域 1 2 8 及び L o v 領域 1 2 9 の導電型を p 型とした。

【 0 0 4 6 】

以上までの工程でそれぞれの半導体層 1 0 2、1 0 3 に不純物領域（ソース領域、ドレイン領域、L o v 領域、L o f f 領域）が形成される。半導体層 1 0 2、1 0 3 と重なる第 2 の形状の導電層 1 1 3、1 1 4 がゲート電極として機能する。第 2 の形状の第 1 の導電層を第 1 のゲート電極、第 2 の形状の第 2 の導電層を第 2 のゲート電極と呼ぶ。

【 0 0 4 7 】

次に導電型の制御を目的として、それぞれの半導体層に添加された不純物元素を活性化する工程を行う。ただし、1 0 5、1 0 6 に用いた導電性の材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。

【 0 0 4 8 】

さらに、3 ～ 1 0 0 % の水素を含む雰囲気中で熱処理を行い、半導体層 1 0 2、1 0 3 を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【 0 0 4 9 】

以上の工程が終了すると、p チャネル型 T F T 1 4 1、n チャネル型 T F T 1 4 2 が完成する。

【 0 0 5 0 】

上述したように、本発明では、第 1 のゲート電極と第 2 のゲート電極のチャンネル長方向（キャリアが移動する方向）の長さ（以下単にゲート電極の幅と呼ぶ）が異なっている。そのため、第 1 及び第 2 のゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、第 2 のゲート電極の下に位置する半導体層中のイオン濃度を、第 2 のゲート電極の下に位置せず、かつ第 1 のゲート電極の下に位置する半導体層中のイオン濃度より低くすることが可能である。そしてさらに、第 2 のゲート電極の下に位置せず、かつ第 1 のゲート電極の下に位置する半導体層中のイオン濃度を、第 1 のゲート電極の下に位置しない半導体層中のイオン濃度より低くすることが可能である。

【 0 0 5 1 】

またマスクを用いてL o f f 領域を形成するために、エッチングで制御しなくてはならないのは第1のゲート電極と第2のゲート電極の幅のみであり、L o f f 領域とL o v 領域の位置の制御が従来に比べて容易になった。よって、L o v 領域とL o f f 領域の微妙な位置あわせが容易になり、所望の特性を有するT F T を作製することが容易になった。

【 0 0 5 2 】

【実施例】 以下に、本発明の実施例について説明する。

【 0 0 5 3 】

(実施例1)

本実施例では、同一基板上に画素部と、画素部の周辺に設ける駆動回路のT F T (nチャネル型T F T 及びpチャネル型T F T) を同時に作製する方法について詳細に説明する。

【 0 0 5 4 】

まず、図3 (A) に示すように、コーニング社の# 7 0 5 9 ガラスや# 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス、または石英基板から成る基板3 0 0 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜3 0 1 を形成する。例えば、プラズマC V D 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜を1 0 ~ 2 0 0 nm (好ましくは5 0 ~ 1 0 0 nm) 形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜を5 0 ~ 2 0 0 nm (好ましくは1 0 0 ~ 1 5 0 nm) の厚さに積層形成する。なお図3 (A) では2層構造である下地膜3 0 1 を1つの層で示した。本実施例では下地膜3 0 1 が2層構造である例を示したが、前記絶縁膜の単層膜または3層以上積層させた構造として形成しても良い。

【 0 0 5 5 】

半導体層3 0 2 ~ 3 0 4 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この半導体層3 0 2 ~ 3 0 4 の厚さは2 5 ~ 8 0 nm (好ましくは3 0 ~ 6 0 nm) の厚さで

形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム (SiGe) 合金などで形成すると良い。

【0056】

公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法、触媒金属を用いた結晶化法がある。

【0057】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100~400mJ/cm²(代表的には200~300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10kHzとし、レーザーエネルギー密度を300~600mJ/cm²(代表的には350~500mJ/cm²)とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80~98%として行う。

【0058】

次いで、半導体層302~304を覆うゲート絶縁膜305を形成する。ゲート絶縁膜305はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させて形成することができる。このようにして作製

される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0059】

そして、ゲート絶縁膜305上にゲート電極を形成するための第1の導電膜306と第2の導電膜307とを形成する。本実施例では、第1の導電膜306をTaで50～100nmの厚さに形成し、第2の導電膜307をWで100～300nmの厚さに形成する。

【0060】

Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、 α 相のTa膜の抵抗率は $20\mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 β 相のTa膜の抵抗率は $180\mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きである。 α 相のTa膜を形成するために、Taの α 相に近い結晶構造をもつ窒化タンタルを10～50nm程度の厚さでTaの下地に形成しておくことと α 相のTa膜を容易に得ることができる。

【0061】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF_6)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20\mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～ $20\mu\Omega\text{cm}$ を実現することができる。

【0062】

なお、本実施例では、第1の導電膜306をTa、第2の導電膜307をWとしたが、特に限定されず、エッチングの選択比のとれる導電性材料であれば良い。第1の導電膜306と第2の導電膜307は、いずれもTa、W、Ti、Mo

、A l、C uから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜を窒化タンタル（T a N）で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル（T a N）で形成し、第2の導電膜をA lとする組み合わせ、第1の導電膜を窒化タンタル（T a N）で形成し、第2の導電膜をC uとする組み合わせで形成することが好ましい。（図3（B））

【0063】

次に、レジストによるマスク308～311を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではI・C・P（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスにC F₄とC l₂を混合し、1Paの圧力でコイル型の電極に500WのR F（13.56MHz）電力を投入してプラズマを生成して行う。基板側（試料ステージ）にも100WのR F（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。C F₄とC l₂を混合した場合にはW膜及びT a膜とも同程度にエッチングされる。

【0064】

なお図3（C）では図示しなかったが、上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15～45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4（代表的には3）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチングされることになる。また図3（C）では図示しなかったが、ゲート絶縁膜305は、上記エッチングによって第1の形状の導電層312～315で覆われない領域が20～50nm程度エッチングされ薄くなり、第1の形状のゲート絶縁膜305aとなる。

【 0 0 6 5 】

こうして、第 1 のエッチング処理により第 1 の形状の第 1 の導電層と第 1 の形状の第 2 の導電層とから成る第 1 の形状の導電層 3 1 2 ~ 3 1 5 (第 1 の導電層 3 1 2 a ~ 3 1 5 a と第 2 の導電層 3 1 2 b ~ 3 1 5 b) を形成する。

【 0 0 6 6 】

次に、図 3 (D) に示すように第 2 のエッチング処理を行う。同様に I C P エッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、1 Pa の圧力でコイル型の電極に 5 0 0 W の R F 電力 (13.56 MHz) を供給し、プラズマを生成して行う。基板側 (試料ステージ) には 5 0 W の R F (13.56 MHz) 電力を投入し、第 1 のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件により W 膜を異方性エッチングし、かつ、それより遅いエッチング速度で第 1 の導電層である T a を異方性エッチングして第 2 の形状の導電層 3 2 0 ~ 3 2 3 (第 1 の導電層 3 2 0 a ~ 3 2 3 a と第 2 の導電層 3 2 0 b ~ 3 2 3 b) を形成する。また図 3 (D) では図示しなかったが、第 1 の形状のゲート絶縁膜 3 0 5 a は、上記エッチングによって第 2 の形状の導電層 3 2 0 ~ 3 2 3 で覆われない領域がさらに 2 0 ~ 5 0 nm 程度エッチングされ薄くなり、第 2 の形状のゲート絶縁膜 3 0 5 b となった。また、マスク 3 0 8 ~ 3 1 1 は第 2 のエッチング処理によってエッチングされ、マスク 3 1 6 ~ 3 1 9 となっている。

【 0 0 6 7 】

W 膜や T a 膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。W と T a のフッ化物と塩化物の蒸気圧を比較すると、W のフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスでは W 膜及び T a 膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、F ラジカルまたは F イオンが多量に発生する。その結果、フッ化物の蒸気圧が高い W 膜のエッチング速度が増大する。一方、T a は F が増大しても相対的にエッチング速度の増加は少ない。また、T a は W に比較して酸化されやすいので、 O_2 を添加することで T a の表面が酸化される。T a の酸化物はフッ素や塩素と反応し

ないためさらにT a膜のエッチング速度は低下する。従って、W膜とT a膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をT a膜よりも大きくすることが可能となる。

【 0 0 6 8 】

そして、マスク 3 1 6 ~ 3 1 9 を除去し、図 4 (A) に示すように第 1 のドーピング処理を行い、n型を付与する不純物元素を添加する。例えば、加速電圧を 7 0 ~ 1 2 0 k e V とし、 $1 \times 10^{13}/\text{cm}^2$ のドーズ量で行う。ドーピングは、第 2 の形状の導電層 3 2 0 ~ 3 2 3 を不純物元素に対するマスクとして用い、第 2 の形状の第 2 の導電層 3 2 0 a ~ 3 2 3 a の下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第 2 の導電層 3 2 0 a ~ 3 2 3 a と重なる第 1 の不純物領域 3 2 5 ~ 3 2 7 と、第 1 の不純物領域よりも不純物の濃度が高い第 2 の不純物領域 3 2 8 ~ 3 3 0 とが形成される。なお本実施例ではマスク 3 1 6 ~ 3 1 9 を除去してから n 型を付与する不純物元素を添加したが、本発明はこれに限定されない。図 4 (A) の工程において n 型を付与する不純物元素を添加してからマスク 3 1 6 ~ 3 1 9 を除去しても良い。

【 0 0 6 9 】

次に第 2 の形状の第 2 の導電層 3 1 8 を覆うように半導体層 3 0 4 上にレジストからなるマスク 3 3 1 を形成する。マスク 3 3 1 はゲート絶縁膜 3 0 5 を間に挟んで第 2 の不純物領域 3 3 0 と一部重なっている。そして第 2 のドーピング処理を行い n 型を付与する不純物元素を添加する。この場合、第 1 のドーピング処理よりもドーズ量を上げて低い加速電圧の条件として n 型を付与する不純物元素をドーピングする。(図 4 (B)) ドーピングの方法はイオンドーブ法若しくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms}/\text{cm}^2$ とし、加速電圧を 6 0 ~ 1 0 0 k e V として行う。n 型を付与する不純物元素として 1 5 族に属する元素、典型的にはリン (P) または砒素 (A s) を用いるが、ここではリン (P) を用いる。この場合、第 2 の形状の導電層 1 2 0、1 2 1、1 2 3 が n 型を付与する不純物元素に対するマスクとなり、自己整合的にソース領域 3 3 2 ~ 3 3 4、ドレイン領域 3 3 5 ~ 3 3 7、中間領域 3 3 8、L o v 領域 3 3 9 ~ 3 4 0 が形成される。またマスク 3 3 1 によっ

て L o f f 領域 3 4 1 が形成される。ソース領域 3 3 2 ~ 3 3 4、ドレイン領域 3 3 5 ~ 3 3 7 には $1 \times 10^{20} \sim 1 \times 10^{21}$ atomic/cm³ の濃度範囲で n 型を付与する不純物元素を添加する。

【 0 0 7 0 】

本発明はマスク 3 3 1 のサイズを制御することで、L o f f 領域 3 4 1 の長さを自由に設定することが可能である。

【 0 0 7 1 】

n 型を付与する不純物元素は、L o f f 領域で $1 \times 10^{17} \sim 1 \times 10^{18}$ atoms/cm³ の濃度となるようにし、L o v 領域で $1 \times 10^{16} \sim 3 \times 10^{18}$ atoms/cm³ の濃度となるようにする。

【 0 0 7 2 】

なお図 4 (B) において、上述したような条件で n 型を付与する不純物元素をドーピングする前または後に、半導体層 3 0 4 上にマスク 3 3 1 を形成した状態で加速電圧を 7 0 ~ 1 2 0 k e V とし n 型を付与する不純物元素をドーピングしても良い。上記工程によって、画素 T F T の L o f f 領域となる部分 3 4 1 の n 型を付与する不純物元素の濃度を抑えつつ、駆動回路に用いられる n チャネル型 T F T の L o v 領域となる部分 3 4 0 の n 型を付与する不純物元素の濃度を高めることができる。画素 T F T の L o f f 領域となる部分 3 4 1 の n 型を付与する不純物元素の濃度を抑えることで、画素 T F T のオフ電流を低減することが可能である。また駆動回路に用いられる n チャネル型 T F T の L o v 領域となる部分 3 4 0 の n 型を付与する不純物元素の濃度を高めることで、ホットキャリア効果による、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすのを防ぐことができる。この工程において、駆動回路に用いられる n チャネル型 T F T の L o v 領域となる部分 3 4 0 の、n 型を付与する不純物元素の濃度は、 $5 \times 10^{17} \sim 5 \times 10^{19}$ atoms/cm³ であることが望ましい。

【 0 0 7 3 】

そして、図 4 (C) に示すように、p チャネル型 T F T を形成する半導体層 3 0 2 に一導電型とは逆の導電型のソース領域 3 4 0 と、ドレイン領域 3 4 1 と、L o v 領域 3 4 2 を形成する。第 2 の形状を有する導電層 3 2 0 を不純物元素に

対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、 n チャネル型TFTを形成する半導体層303、304はレジストマスク343で全面を被覆しておく。ソース領域340及びドレイン領域341と、 Lov 領域342とにはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

【0074】

以上までの工程でそれぞれの半導体層302～304に不純物領域(ソース領域、ドレイン領域、 Lov 領域、 $Loff$ 領域)が形成される。半導体層302～304と重なる第2の形状の導電層320～322がゲート電極として機能する。また、323は容量配線として機能する。

【0075】

こうして導電型の制御を目的として、それぞれの半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では500℃で4時間の熱処理を行う。ただし、第1の導電膜306、第2の導電膜307が熱に弱い場合には、ゲート電極、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

【0076】

さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0077】

次いで、第1の層間絶縁膜344は酸化窒化シリコン膜から100～200nm

mの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜345を形成する。

【0078】

そして第2の層間絶縁膜345の容量配線323上にコンタクトホールを形成し、前記第1の層間絶縁膜344の一部を露出させる。次に中間配線346を容量配線323上のコンタクトホールを介して第1の層間絶縁膜344に接するように形成した。(図4(D))

【0079】

次に第2の層間絶縁膜345上に、有機絶縁物材料から成る第3の層間絶縁膜347を形成する。

【0080】

そして、第2の形状のゲート絶縁膜305b、第1の層間絶縁膜344、第2の層間絶縁膜345にコンタクトホールを形成し、該コンタクトホールを介して、ソース領域340、333、334と接するようにソース配線348~350を形成した。また同様に、ドレイン領域351、352と接するドレイン配線351、352を形成する(図5(A))。ドレイン領域337と中間配線346とは、ドレイン配線352によって電氣的に接続される。

【0081】

なお、ゲート絶縁膜305、第1の層間絶縁膜344、第2の層間絶縁膜345、第3の層間絶縁膜347が SiO_2 膜または SiON 膜の場合、 CF_4 と O_2 とを用いたドライエッチングでコンタクトホールを形成するのが好ましい。またゲート絶縁膜305、第1の層間絶縁膜344、第2の層間絶縁膜345、第3の層間絶縁膜347が有機樹脂膜の場合、 CHF_3 を用いたドライエッチング、または BHF (緩衝フッ酸： $\text{HF} + \text{NH}_4\text{F}$)でコンタクトホールを形成するのが好ましい。またゲート絶縁膜305、第1の層間絶縁膜344、第2の層間絶縁膜345、第3の層間絶縁膜347が異なる材料で形成されている場合、膜ごとにエッチングの方法及び用いるエッチャントやエッチングガスの種類を変えることが好ましいが、エッチングの方法及び用いるエッチャントやエッチングガスを全て同じにしてコンタクトホールを形成しても良い。

【 0 0 8 2 】

容量配線 3 2 3 と中間配線 3 4 6 との間に第 1 の層間絶縁膜 3 4 4 が接して設けられている部分に、保持容量が形成される。

【 0 0 8 3 】

次に、有機樹脂からなる第 4 層間絶縁膜 3 5 3 を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第 4 層間絶縁膜 3 5 3 は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例では T F T によって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは $1 \sim 5 \mu\text{m}$ （さらに好ましくは $2 \sim 4 \mu\text{m}$ ）とすれば良い。

【 0 0 8 4 】

次に第 4 層間絶縁膜 3 5 3 に、中間配線 3 5 2 に達するコンタクトホールを形成し、画素電極 3 5 4 を形成する。本実施例では酸化インジウム・スズ（ITO）膜を 110 nm の厚さに形成し、パターニングを行って画素電極 3 5 4 を形成する。また、酸化インジウムに $2 \sim 20\%$ の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極 3 5 4 が液晶セルの画素電極となる。（図 5（B））

【 0 0 8 5 】

次に、図 6 に示すように、図 5（B）の状態のアクティブマトリクス基板に配向膜 3 5 5 を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。また図 6 には示さないが、対向基板とアクティブマトリクス基板との間にスペーサを有していても良い。

【 0 0 8 6 】

一方、対向側の対向基板 3 5 6 に対向電極 3 5 7 および配向膜 3 5 8 を形成する。図 6 では図示しないが対向基板 3 5 6 上に遮蔽膜を有していても良い。その場合、遮蔽膜は Ti 膜、Cr 膜、Al 膜などを $150 \sim 300 \text{ nm}$ の厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤（図示せず）で貼り合わせる。シール剤にはフィラー（図示せず

）が混入されていて、このフィラー（場合によってはスペーサも）によって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料359を注入する。液晶材料には公知の液晶材料を用いれば良い。例えば、TN液晶の他に、電場に対して透過率が連続的に変化する電気光学応答性を示す、無しきい値反強誘電性混合液晶を用いることもできる。この無しきい値反強誘電性混合液晶には、V字型の電気光学応答特性を示すものもある。このようにして図6に示すアクティブマトリクス型液晶表示装置が完成する。

【0087】

本実施例において、画素TFT401の半導体層は、ソース領域404、ドレイン領域405、Lo ff領域406、Lo v領域407、チャネル形成領域408、中間領域409を含んでいる。Lo ff領域406は第2の形状のゲート絶縁膜305bを介してゲート電極318と重ならないように設けられている。またLo v領域407は第2の形状のゲート絶縁膜305bを介してゲート電極318と重なるように設けられている。このような構造はホットキャリア効果によるオフ電流を低減する上で非常に効果的である。

【0088】

また、本実施例では画素TFT401はダブルゲート構造としているが、本発明では画素TFTはシングルゲート構造やその他のマルチゲート構造を有していても良い。ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流をさらに低減することができるという利点がある。

【0089】

また本実施例では画素用TFT401はnチャネル型TFTであるが、pチャネル型TFTであってもかまわない。

【0090】

なお、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

【0091】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造

を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFT 403として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路（サンプル及びホールド回路）などが含まれる。デジタル駆動を行う場合には、D/Aコンバータなどの信号変換回路も含まれ得る。

【0092】

本実施例の場合、CMOS回路のnチャネル型TFT（駆動回路用nチャネル型TFT）403の半導体層は、ソース領域421、ドレイン領域422、Lov領域423及びチャネル形成領域424を含んでいる。

【0093】

駆動回路用pチャネル型TFT 402の半導体層は、ソース領域410、ドレイン領域411、Lov領域412、チャネル形成領域413を含んでいる。Lov領域412は第2の形状のゲート絶縁膜305bを介してゲート電極320と重なるように設けられている。なお本実施例において駆動回路用pチャネル型TFT 402はLoff領域を有していないが、Loff領域を有する構成にしても良い。

【0094】

また本実施例では駆動回路用pチャネル型TFT 402はpチャネル型TFTであるが、nチャネル型TFTであってもかまわない。

【0095】

上述したように本発明では、ゲート電極のチャネル長方向の長さ（以下単にゲート電極の幅と呼ぶ）が異なっているため、ゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、第1のゲート電極の下に位置する半導体層中のイオン濃度を、第1のゲート電極の下に位置しない半導体層中のイオン濃度より低くすることが可能である。

【0096】

またマスクを用いてLoff領域を形成するために、エッチングで制御しなくてはならないのは第1のゲート電極と第2のゲート電極の幅のみであり、Loff

f 領域と L o v 領域の位置の制御が従来に比べて容易になった。よって、L o v 領域と L o f f 領域の微妙な位置あわせが容易になり、所望の特性を有する T F T を作製することも容易になった。

【 0 0 9 7 】

また、画素 T F T のドレイン領域に接続されたドレイン配線を形成するためのコンタクトホールは、ゲート絶縁膜と第 1 の層間絶縁膜とをエッチングして形成する必要があったため、ドレイン配線と容量配線と第 1 の層間絶縁膜とで保持容量を形成することが難しかった。しかし本発明は第 2 の層間絶縁膜と第 3 の層間絶縁膜の間に新たに中間配線を設けているので、画素 T F T のドレイン配線に接続された中間配線 5 1 1 と、第 1 の層間絶縁膜と、ゲート信号線と同時に形成された容量配線とで保持容量を形成することができる。

【 0 0 9 8 】

なお本実施例では透過型の液晶ディスプレイについて説明したが、本発明はこれに限定されず、反射型の液晶ディスプレイであっても良い。また本実施例では画素 T F T が n チャンネル型 T F T である場合について説明したが、本発明はこれに限定されず、画素 T F T は p チャンネル型 T F T であっても良い。

【 0 0 9 9 】

(実施例 2)

本実施例では、本発明の液晶ディスプレイの画素部の上面図について説明する。

【 0 1 0 0 】

図 7 (A) に本実施例の液晶ディスプレイの上面図を示す。また図 7 (B) は本実施例の液晶ディスプレイの画素部の回路図である。5 0 1 はソース信号線、5 0 2 はゲート信号線である。ソース信号線 5 0 1 上に設けられている配線 5 0 3 は容量配線であり、ソース信号線 5 0 1 と重なっている。

【 0 1 0 1 】

5 0 4 は画素 T F T であり、半導体層 5 0 5 を有している。半導体層 5 0 5 上にゲート信号線 5 0 2 の一部がゲート電極として設けられている。そして半導体層 5 0 5 のソース領域とドレイン領域は、一方はソース信号線 5 0 1 に、もう一

方はドレイン配線 5 1 0 によって中間配線 5 1 1 に接続されている。容量配線 5 0 3 は、5 1 2 で示す部分で第 1 の層間絶縁膜（図示せず）と接しており、容量配線 5 0 3 と第 1 の層間絶縁膜と中間配線 5 1 1 とは 5 1 2 で示す部分で保持容量を形成している。

【 0 1 0 2 】

ドレイン配線 5 1 0 は画素電極 5 0 9 に接続されている。

【 0 1 0 3 】

なお本実施例は実施例 1 と自由に組み合わせることが可能である。

【 0 1 0 4 】

（実施例 3）

本実施例では、保持容量を、容量配線と第 1 の層間絶縁膜と中間配線とで形成する構成に加え、容量配線とゲート絶縁膜と半導体層とで形成している例について説明する。なお図 3 ～図 6 で示した物は同じ符号を用いる。

【 0 1 0 5 】

図 8 に本実施例の液晶ディスプレイの断面図を示す。本実施例の液晶ディスプレイは図 5（B）で示した液晶ディスプレイと、半導体層 6 0 0 を有している点が異なっている。なおその他の構成については実施例 1 において既に述べているので、本実施例の液晶ディスプレイの詳しい構成については実施例 1 を参照し、ここでは説明を省略する。

【 0 1 0 6 】

半導体層 6 0 0 は第 2 の形状のゲート絶縁膜 3 0 5 b を間に挟んで第 1 の容量配線 3 2 3 a 及び第 2 の容量配線 3 2 3 b と重なっている。半導体層 6 0 0 はチャネル形成領域 6 0 3 と、チャネル形成領域 6 0 3 に接するように設けられた第 1 の不純物領域 6 0 2 と、第 1 の不純物領域 6 0 2 に接するように設けられた第 2 の不純物領域 6 0 1 とを有している。第 1 の不純物領域 6 0 2 における不純物の濃度は第 2 の不純物領域 6 0 1 における不純物の濃度よりも低い。また第 1 の不純物領域 6 0 2 は第 1 の容量配線 3 2 3 a と、第 1 の形状のゲート絶縁膜 3 0 5 b を間に挟んで重なっている。

【 0 1 0 7 】

なお半導体層 6 0 0 が有するチャネル形成領域 6 0 3 にチャネルが形成されるような電圧が、容量配線 3 2 3 に常にかかっている。

【 0 1 0 8 】

中間配線 3 4 6 はドレイン配線 3 5 2 によって画素 T F T 2 0 1 のドレイン領域 4 0 5 と電氣的に接続されている。また中間配線 3 4 6 は第 2 の層間絶縁膜 3 4 5 に形成されたコンタクトホールを介して第 2 の容量配線 3 2 3 b 上の第 1 の層間絶縁膜 3 4 4 と接している。

【 0 1 0 9 】

本実施例の構成によって、保持容量の容量値を高くすることができる。なお保持容量の面積を大きくすると開口率の低下によって液晶ディスプレイの輝度が低くなってしまっていたが、本実施例の構成では、容量配線 3 2 3 と第 2 の形状のゲート絶縁膜 3 0 5 b と半導体層 6 0 0 とで形成される保持容量が、中間配線 3 4 6 と第 1 の層間絶縁膜 3 4 4 と容量配線 3 2 3 とで形成される保持容量とが重なっているために、開口率の低下を抑えつつ保持容量の容量値を高くすることができる。

【 0 1 1 0 】

なお本実施例では画素 T F T が n チャネル型 T F T である場合について説明したが、本発明はこれに限定されず、画素 T F T は p チャネル型 T F T であっても良い。

【 0 1 1 1 】

なお本実施例は実施例 1、2 と組み合わせて実施することが可能である。

【 0 1 1 2 】

(実施例 4)

本実施例では、中間配線と遮蔽膜（ブラックマトリクス）とを同時に形成する例について説明する。なお図 3 ～図 6 で示した物は同じ符号を用いる。

【 0 1 1 3 】

図 9 に本実施例の液晶ディスプレイの断面図を示す。本実施例の液晶ディスプレイは図 5 (B) で示した液晶ディスプレイと、遮蔽膜 7 0 1 を有している点が異なっている。なおその他の構成については実施例 1 において既に述べているの

で、本実施例の液晶ディスプレイの詳しい構成については実施例 1 を参照し、ここでは説明を省略する。

【 0 1 1 4 】

中間配線 3 4 6 は第 2 の層間絶縁膜 3 4 5 に形成されたコンタクトホールを介して第 2 の容量配線 3 2 3 b 上の第 1 の層間絶縁膜 3 4 4 と接している。

【 0 1 1 5 】

遮蔽膜 7 0 1 は第 2 の層間絶縁膜 3 4 5 上に中間配線 3 4 6 と同時に形成される。遮蔽膜 7 0 1 を設けることによって、液晶ディスプレイの外部からの光が画素 T F T のチャネル形成領域 4 0 8 に入射することによってオフ電流が増加するのを防ぐことができる。

【 0 1 1 6 】

また本実施例の遮蔽膜 7 0 1 は中間配線 3 4 6 と同時に形成することが可能であるため、工程数を増やす必要がない。

【 0 1 1 7 】

なお本実施例の場合、遮蔽膜 7 0 1 と中間配線 3 4 6 とを光を透過しにくい材料で形成することが重要である。

【 0 1 1 8 】

なお本実施例では画素 T F T が n チャネル型 T F T である場合について説明したが、本発明はこれに限定されず、画素 T F T は p チャネル型 T F T であっても良い。また本実施例では遮蔽膜を画素 T F T のチャネル形成領域 4 0 8 の上のみ設けたが、本発明はこれに限定されない。駆動回路用の T F T のチャネル形成領域上に遮蔽膜を設けても良い。

【 0 1 1 9 】

なお本実施例は実施例 1 ～ 3 と組み合わせて実施することが可能である。

【 0 1 2 0 】

(実施例 5)

本実施例では、ソース配線とドレイン配線を形成するために第 1 の形状のゲート絶縁膜 3 0 5 b、第 1 の層間絶縁膜 3 4 4、第 2 の層間絶縁膜 3 4 5、第 3 の層間絶縁膜 3 4 7 に設けられるコンタクトホールの形成の仕方について、実施例

1とは異なる例について説明する。なお図3～図6で示した物は同じ符号を用いる。

【0121】

図10に本実施例の液晶ディスプレイの断面図を示す。本実施例の液晶ディスプレイは図5(B)で示した液晶ディスプレイと、コンタクトホール構成が異なっている。なおその他の構成については実施例1において既に述べているので、本実施例の液晶ディスプレイの詳しい構成については実施例1を参照し、ここでは説明を省略する。

【0122】

本実施例では、中間配線346を形成する前に、第2の層間絶縁膜345に中間配線346を形成するためのコンタクトホール設けるのと同時に、ソース配線348～350とドレイン配線351、352を形成するためのコンタクトホールを第2の層間絶縁膜345に形成する。このとき第1の層間絶縁膜344および第2の形状のゲート絶縁膜305bにはコンタクトホールを設けない。

【0123】

次に中間配線346を形成したあと第3の層間絶縁膜353を形成する。そして第3の層間絶縁膜347、第1の層間絶縁膜344、第2の形状のゲート絶縁膜305bにコンタクトホールを形成し、ソース領域410、421、404とドレイン領域411、422、405とドレイン配線346に接続するように、ソース配線348～350とドレイン配線351、352を形成する。

【0124】

本実施例では上記構成によって、ソース領域410、421、404とドレイン領域411、422、405に接続するためのコンタクトホールを、第2の層間絶縁膜345をエッチングすることなしに形成することが出来、エッチングが簡単になる。

【0125】

なお本実施例では画素TFTがnチャネル型TFTである場合について説明したが、本発明はこれに限定されず、画素TFTはpチャネル型TFTであっても良い。

【 0 1 2 6 】

なお本実施例は実施例 1 ～ 4 と組み合わせて実施することが可能である。

【 0 1 2 7 】

(実施例 6)

本実施例では、遮蔽膜を基板と T F T の半導体層との間に設ける例について説明する。なお図 3 ～ 図 6 で示した物は同じ符号を用いる。

【 0 1 2 8 】

図 1 1 に本実施例の液晶ディスプレイの断面図を示す。本実施例の液晶ディスプレイは図 5 (B) で示した液晶ディスプレイと、遮蔽膜 8 0 1 を有している点が異なっている。なおその他の構成については実施例 1 において既に述べているので、本実施例の液晶ディスプレイの詳しい構成については実施例 1 を参照し、ここでは説明を省略する。

【 0 1 2 9 】

本実施例の液晶ディスプレイは、画素 T F T の半導体層 3 0 4 の下に遮蔽膜 8 0 1 を設けている。遮蔽膜 8 0 1 は、画素 T F T の半導体層 3 0 4 のチャネル形成領域 4 0 8 と酸化膜 8 0 3 を間に挟んで重なっている。

【 0 1 3 0 】

遮蔽膜 8 0 1 は光を遮蔽することができ、遮蔽膜が形成された後の工程における加熱処理の温度に耐えうる材料ならば、いずれの材料でも用いることが可能であり、光を透過しにくい金属、シリコン、等を用いることが可能である。本実施例では W を用いた。なお遮蔽膜 8 0 1 の厚さは $0.1 \mu\text{m} \sim 0.5 \mu\text{m}$ 程度であることが好ましい。また酸化膜 8 0 3 の厚さは $0.5 \mu\text{m} \sim 1.5 \mu\text{m}$ 程度であることが好ましい。さらに遮蔽膜 8 0 1 と半導体層 3 0 4 との間の距離は $0.1 \mu\text{m} \sim 0.5 \mu\text{m}$ 程度であることが好ましい。

【 0 1 3 1 】

なお本実施例では遮蔽膜を画素部 T F T の半導体層 3 0 4 下側にのみ設けたが、本実施例はこれに限定されない。同様に駆動回路用の T F T の半導体層 3 0 2 、 3 0 3 の下に遮蔽膜を設けてもかまわない。

【 0 1 3 2 】

本実施例は上記構成によって、基板の下側から入射する光がチャネル形成領域に入射することによってT F Tのオフ電流が上がるのを防いでいる。

【 0 1 3 3 】

酸化膜 8 0 3 の表面が平坦化されていないと、その上に形成された半導体層を結晶化させる際に、半導体層が均一に結晶化されないという問題が起こってしまう。よって、酸化膜 8 0 3 上には半導体層を直に形成するので、半導体層を形成する前に酸化膜 8 0 3 の表面を平坦化しておくことが好ましい。

【 0 1 3 4 】

例えば、CMP（ケミカルメカニカルポリッシング）研磨を用いて酸化膜 8 0 3 を平坦化しても良い。CMP 研磨は公知の方法を用いて行うことができる。

【 0 1 3 5 】

本実施例ではシリカゾルと電解溶液とを混合したものをを用いて研磨を行う。電解溶液中において、 100 kg/cm^2 の圧力を研磨パッドから加えて研磨を行う。この研磨の際の圧力は $50\text{ kg/cm}^2 \sim 150\text{ kg/cm}^2$ 程度の範囲から選択することができる。また研磨を行う表面と研磨パッドとの隙間は $0.1\text{ }\mu\text{m}$ として研磨を行う。

【 0 1 3 6 】

上記構成によって、T F Tのオフ電流を抑えることができ、なおかつ半導体層の結晶性が不均一になるのを防ぐことができる。

【 0 1 3 7 】

なお本実施例では画素T F Tがnチャネル型T F Tである場合について説明したが、本発明はこれに限定されず、画素T F Tはpチャネル型T F Tであっても良い。

【 0 1 3 8 】

なお本実施例は実施例 1 ～ 5 と組み合わせて実施することが可能である。

【 0 1 3 9 】

（実施例 7）

本実施例は、ソース信号線を形成した後にゲート信号線を形成する例について説明する。

【 0 1 4 0 】

図 1 2 (A) に本実施例の液晶ディスプレイの上面図を示す。なお図 1 2 (B) は図 1 2 (A) の A - A ' における断面図である。9 0 1 はソース信号線、9 0 2 はゲート信号線である。ゲート信号線 9 0 2 の下に設けられている配線 9 0 3 は中間配線であり、ゲート信号線 9 0 2 と重なっている。

【 0 1 4 1 】

9 0 4 は画素 T F T であり、半導体層 9 0 5 を有している。半導体層 9 0 5 上にゲート信号線 9 0 2 に接続されたゲート電極 9 2 0 が設けられている。そして半導体層 9 0 5 のソース領域とドレイン領域は、一方はソース配線 9 2 1 によってソース信号線 9 0 1 に、もう一方はドレイン配線 9 1 0 によって容量配線 9 1 1 に接続されている。中間配線 9 0 3 は、9 1 2 で示す部分で第 1 の層間絶縁膜 9 2 3 と接しており、中間配線 9 0 3 と第 1 の層間絶縁膜 9 2 3 と容量配線 9 1 1 とで保持容量 9 1 2 を形成している。

【 0 1 4 2 】

ドレイン配線 9 1 0 は画素電極 9 0 9 に接続されている。

【 0 1 4 3 】

本発明は中間配線 9 0 3 を第 2 の層間絶縁膜 9 2 4 と第 3 の層間絶縁膜 9 2 5 の間に設けている。そのために中間配線をゲート信号線 9 0 2 と重ねて設けることができるので、開口率を上げることができる。

【 0 1 4 4 】

(実施例 8)

本実施例では、本発明において半導体層として用いる結晶質半導体膜を、触媒元素を用いた熱結晶化法により形成する例を示す。触媒元素を用いる場合、特開平 7 - 1 3 0 6 5 2 号公報、特開平 8 - 7 8 3 2 9 号公報で開示された技術を用いることが望ましい。

【 0 1 4 5 】

ここで、特開平 7 - 1 3 0 6 5 2 号公報に開示されている技術を本発明に適用する場合の例を図 1 3 に示す。まず基板 1 2 0 1 に酸化シリコン膜 1 2 0 2 を設け、その上に非晶質シリコン膜 1 2 0 3 を形成した。さらに、重量換算で 1 0 p

p mのニッケルを含む酢酸ニッケル塩溶液を塗布してニッケル含有層 1 2 0 4 を形成した。(図 1 3 (A))

【 0 1 4 6 】

次に、5 0 0℃、1 時間の脱水素工程の後、5 0 0～6 5 0℃で4～1 2 時間、例えば5 5 0℃、8 時間の熱処理を行い、結晶質シリコン膜 1 2 0 5 を形成した。こうして得られた結晶質シリコン膜 1 2 0 5 は非常に優れた結晶質を有した。(図 1 3 (B))

【 0 1 4 7 】

また、特開平 8 - 7 8 3 2 9 号公報で開示された技術は、触媒元素を選択的に添加することによって、非晶質半導体膜の選択的な結晶化を可能としたものである。同技術を本発明に適用した場合について、図 1 4 で説明する。

【 0 1 4 8 】

まず、ガラス基板 1 3 0 1 に酸化シリコン膜 1 3 0 2 を設け、その上に非晶質シリコン膜 1 3 0 3、酸化シリコン膜 1 3 0 4 を連続的に形成した。この時、酸化シリコン膜 1 3 0 4 の厚さは 1 5 0 n mとした。

【 0 1 4 9 】

次に酸化シリコン膜 1 3 0 4 をパターニングして、選択的に開孔部 1 3 0 5 を形成し、その後、重量換算で 1 0 p p mのニッケルを含む酢酸ニッケル塩溶液を塗布した。これにより、ニッケル含有層 1 3 0 6 が形成され、ニッケル含有層 1 3 0 6 は開孔部 1 3 0 5 の底部のみで非晶質シリコン膜 1 3 0 2 と接触した。(図 1 4 (A))

【 0 1 5 0 】

次に、5 0 0～6 5 0℃で4～2 4 時間、例えば5 7 0℃、1 4 時間の熱処理を行い、結晶質シリコン膜 1 3 0 7 を形成した。この結晶化の過程では、ニッケルが接した非晶質シリコン膜の部分が最初に結晶化し、そこから横方向へと結晶化が進行する。こうして形成された結晶質シリコン膜 1 3 0 7 は棒状または針状の結晶が集合して成り、その各々の結晶は巨視的に見ればある特定の方向性をもって成長しているため、結晶性が揃っているという利点がある。(図 1 4 (B))

【 0 1 5 1 】

尚、上記 2 つの技術において使用可能な触媒元素は、ニッケル (Ni) の以外にも、ゲルマニウム (Ge)、鉄 (Fe)、パラジウム (Pd)、スズ (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu)、金 (Au)、といった元素を用いても良い。

【0152】

以上のような技術を用いて結晶質半導体膜 (結晶質シリコン膜や結晶質シリコンゲルマニウム膜などを含む) を形成し、パターニングを行えば、結晶質 TFT の半導体層を形成することができる。本実施例の技術を用いて、結晶質半導体膜から作製された TFT は、優れた特性が得られるが、そのため高い信頼性を要求されてあいた。しかしながら、本発明の TFT 構造を採用することで、本実施例の技術を最大限に生かした TFT を作製することが可能となった。

【0153】

次に、実施例 1 で用いられる半導体層を形成する方法として、非晶質半導体膜を初期膜として前記触媒元素を用いて結晶質半導体膜を形成した後で、その触媒元素を結晶質半導体膜から除去する工程を行った例について、図 15 を用いて説明する。本実施例ではその方法として、特開平 10-135468 号公報または特開平 10-135469 号公報に記載された技術を用いた。

【0154】

同公報に記載された技術は、非晶質半導体膜の結晶化に用いた触媒元素を結晶化後にリンのゲッターリング作用を用いて除去する技術である。同技術を用いることで、結晶質半導体膜中の触媒元素の濃度を $1 \times 10^{17} \text{atms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{atms/cm}^3$ にまで低減することができる。

【0155】

ここではコーニング社の 1737 基板に代表される無アルカリガラス基板を用いた。図 15 (A) では、実施例 4 で示した結晶化の技術を用いて、下地 1402、結晶質シリコン膜 1403 が形成された状態を示している。そして、結晶質シリコン膜 1403 の表面にマスク用の酸化シリコン膜 1404 が 150 nm の厚さに形成され、パターニングにより開孔部が設けられ、結晶質シリコン膜を露出させた領域を設けてある。そして、リンを添加する工程を実施して、結晶質シ

リコン膜にリンが添加された領域 1 4 0 5 が設けられた。

【0 1 5 6】

この状態で、窒素雰囲気中で 5 5 0 ~ 8 0 0 °C、5 ~ 2 4 時間、例えば 6 0 0 °C、1 2 時間の熱処理を行うと、結晶質シリコン膜にリンが添加された領域 1 4 0 5 がゲッターリングサイトとして働き、結晶質シリコン膜 1 4 0 3 に残存していた触媒元素はリンが添加された領域 1 4 0 5 に偏析させることができた。

【0 1 5 7】

そして、マスク用の酸化シリコン膜 1 4 0 4 と、リンが添加された領域 1 4 0 5 とをエッチングして除去することにより、結晶化の工程で使用した触媒元素の濃度を $1 \times 10^{17} \text{atms/cm}^3$ 以下にまで低減された結晶質シリコン膜を得ることができた。この結晶質シリコン膜はそのまま本発明の T F T の半導体層として使用することができた。

【0 1 5 8】

(実施例 9)

本発明の液晶ディスプレイの駆動方法のについて説明する。図 1 6 に、本実施例の液晶ディスプレイの一例をブロック図で示す。

【0 1 5 9】

1 6 0 1 はソース信号線駆動回路、1 6 0 2 はゲート信号線駆動回路、1 6 0 3 は画素部を示している。本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを 1 つずつ設けたが、本発明はこの構成に限定されない。ソース信号線駆動回路を 2 つ設けても良いし、ゲート信号線駆動回路を 2 つ設けても良い。

【0 1 6 0】

ソース信号線駆動回路 1 6 0 1 は、シフトレジスタ回路 1 6 0 1 __ 1、レベルシフト回路 1 6 0 1 __ 2、サンプリング回路 1 6 0 1 __ 3 を有している。なおレベルシフト回路は必要に応じて用いればよく、必ずしも用いなくとも良い。また本実施例においてレベルシフト回路 1 6 0 1 __ 2 はシフトレジスタ回路 1 6 0 1 __ 1 とサンプリング回路 1 6 0 1 __ 3 との間に設ける構成としたが、本発明はこの構成に限定されない。シフトレジスタ回路 1 6 0 1 __ 1 の中にレベルシフト回路 1 6 0 1 __ 2 が組み込まれている構成にしても良い。

【 0 1 6 1 】

クロック信号（CLK）、スタートパルス信号（SP）がシフトレジスタ回路 1 6 0 1 _ 1 に入力される。そしてシフトレジスタ回路 1 6 0 1 _ 1 からビデオ信号をサンプリングするためのサンプリング信号が出力される。出力されたサンプリング信号はレベルシフト回路 1 6 0 1 _ 2 に入力され、その電位の振幅を大きくされて出力される。

【 0 1 6 2 】

レベルシフト回路 1 6 0 1 _ 2 から出力されたサンプリング信号は、サンプリング回路 1 6 0 1 _ 3 に入力される。そして同時にソース信号線駆動回路 1 6 0 1 の外部からビデオ信号が、ビデオ信号線（図示せず）を介してサンプリング回路 1 6 0 1 _ 3 に入力される。

【 0 1 6 3 】

サンプリング回路 1 6 0 1 _ 3 において、入力されたビデオ信号がサンプリング信号によってそれぞれサンプリングされ、ソース信号線 1 6 0 4 を介して所定の画素に入力される。

【 0 1 6 4 】

画素部 1 6 0 3 では、ソース信号線駆動回路 1 6 0 1 に接続されたソース信号線 1 6 0 4 と、ゲート信号線駆動回路 1 6 0 2 に接続されたゲート信号線 1 6 0 5 とが交差している。そのソース信号線 1 6 0 4 とゲート信号線 1 6 0 5 とに囲まれた領域に、画素 1 6 0 6 の薄膜トランジスタ（画素 TFT）1 6 0 7 と、対向電極と画素電極の間に液晶を挟んだ液晶セル 1 6 0 8 と、保持容量 1 6 0 9 とが設けられている。

【 0 1 6 5 】

画素 TFT 1 6 0 7 は、ゲート信号線駆動回路 1 6 0 2 からゲート信号線 1 6 0 5 を介して入力される選択信号により動作する。ソース信号線 1 6 0 4 に入力されたビデオ信号は、画素 TFT 1 6 0 7 により選択され、同時に所定の画素電極に書き込まれる。

【 0 1 6 6 】

なお本実施例では、ソース信号線駆動回路 1 6 0 1 とゲート信号線駆動回路 1

602とを、画素部1603が形成されている基板上に形成しているが、本発明はこれに限定されない。ソース信号線駆動回路1601とゲート信号線駆動回路1602とをICチップ上に形成し、FPCやTABを介して画素部1603と接続されていても良い。

【0167】

また本発明の液晶ディスプレイの駆動方法は、本実施例に示した駆動方法に限定されない。

【0168】

本実施例は実施例1～8と組み合わせて実施することが可能である。

【0169】

(実施例10)

本発明の液晶ディスプレイは様々な電子機器の表示媒体として用いることができる。

【0170】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図17に示す。

【0171】

図17（A）はディスプレイであり、筐体2001、支持台2002、表示部2003等を含む。本発明は表示部2003に適用することができる。

【0172】

図17（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明を表示部2102に適用することができる。

【0173】

図17（C）は頭部取り付け型のディスプレイの一部（右片側）であり、本体2201、信号ケーブル2202、頭部固定バンド2203、スクリーン部22

04、光学系2205、表示部2206等を含む。本発明は表示部2206に適用できる。

【0174】

図17(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2301、記録媒体(DVD等)2302、操作スイッチ2303、表示部(a)2304、表示部(b)2305等を含む。表示部(a)2304は主として画像情報を表示し、表示部(b)2305は主として文字情報を表示するが、本発明はこれら表示部(a)、(b)2304、2305に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0175】

図17(E)はパーソナルコンピュータであり、本体2401、映像入力部2402、表示部2403、キーボード2404で構成される。本発明を表示部2403に適用することができる。

【0176】

図17(F)はゴーグル型ディスプレイであり、本体2501、表示部2502、アーム部2503で構成される。本発明は表示部2502に適用することができる。

【0177】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～9のどのような組み合わせからなる構成を用いても実現することができる。

【0178】

【発明の効果】

上述したように本発明では、第1のゲート電極と第2のゲート電極のチャネル長方向(キャリアが移動する方向)の長さ(以下単にゲート電極の幅と呼ぶ)が異なっている。そのため、第1及び第2のゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、第2のゲート電極の下に位置する半導体層中のイオン濃度を、第

2のゲート電極の下に位置せず、かつ第1のゲート電極の下に位置する半導体層中のイオン濃度より低くすることが可能である。そしてさらに、第2のゲート電極の下に位置せず、かつ第1のゲート電極の下に位置する半導体層中のイオン濃度を、第1のゲート電極の下に位置しない半導体層中のイオン濃度より低くすることが可能である。

【0179】

またマスクを用いてLoff領域を形成するために、エッチングで制御しなくてはならないのは第1のゲート電極と第2のゲート電極の幅のみであり、Loff領域とLov領域の位置の制御が従来に比べて容易になった。よって、Lov領域とLoff領域の微妙な位置あわせが容易になり、所望の特性を有するTF Tを作製することが容易になった。

【0180】

また中間配線を第2の層間絶縁膜と第3の層間絶縁膜の間に設けている。そのために中間配線をゲート信号線またはソース信号線と重ねて設けることができるので、開口率を上げることができる。

【図面の簡単な説明】

- 【図1】 本発明の液晶ディスプレイの作製行程を示す図。
- 【図2】 T F Tゲート電極の拡大図。
- 【図3】 本発明の液晶ディスプレイの作製行程を示す図。
- 【図4】 本発明の液晶ディスプレイの作製行程を示す図。
- 【図5】 本発明の液晶ディスプレイの作製行程を示す図。
- 【図6】 本発明の液晶ディスプレイの作製行程を示す図。
- 【図7】 本発明の液晶ディスプレイの画素の上面図及び回路図。
- 【図8】 本発明の液晶ディスプレイの断面図。
- 【図9】 本発明の液晶ディスプレイの断面図。
- 【図10】 本発明の液晶ディスプレイの断面図。
- 【図11】 本発明の液晶ディスプレイの断面図。
- 【図12】 本発明の液晶ディスプレイの画素の上面図及び断面図。
- 【図13】 半導体層の結晶化方法を示す図。

【図 1 4】 半導体層の結晶化方法を示す図。

【図 1 5】 半導体層の結晶化方法を示す図。

【図 1 6】 本発明の液晶ディスプレイのブロック図。

【図 1 7】 本発明の液晶ディスプレイを用いた電子機器。

【符号の説明】

1 0 0 基板

1 0 1 保護膜

1 0 2、1 0 3 半導体層

1 0 4 ゲート絶縁膜

1 0 5 第 1 の導電膜

1 0 6 第 2 の導電膜

1 0 7、1 0 8 マスク

1 0 9、1 1 0 第 1 の形状の導電層

1 0 4 a 第 1 の形状のゲート絶縁膜

1 1 1、1 1 2 マスク

1 1 3、1 1 4 第 2 の形状の導電層

1 0 4 b 第 2 の形状のゲート絶縁膜

1 1 5、1 1 6 第 1 の不純物領域

1 1 7、1 1 8 第 2 の不純物領域

1 1 9 マスク

1 2 0 ソース領域

1 2 1 ドレイン領域

1 2 2 L o f f 領域

1 2 3 L o v 領域

1 2 4 チャネル形成領域

1 2 5 第 3 の不純物領域

1 2 6 マスク

1 2 7 ソース領域

1 2 8 ドレイン領域

1 2 9 L o v 領域

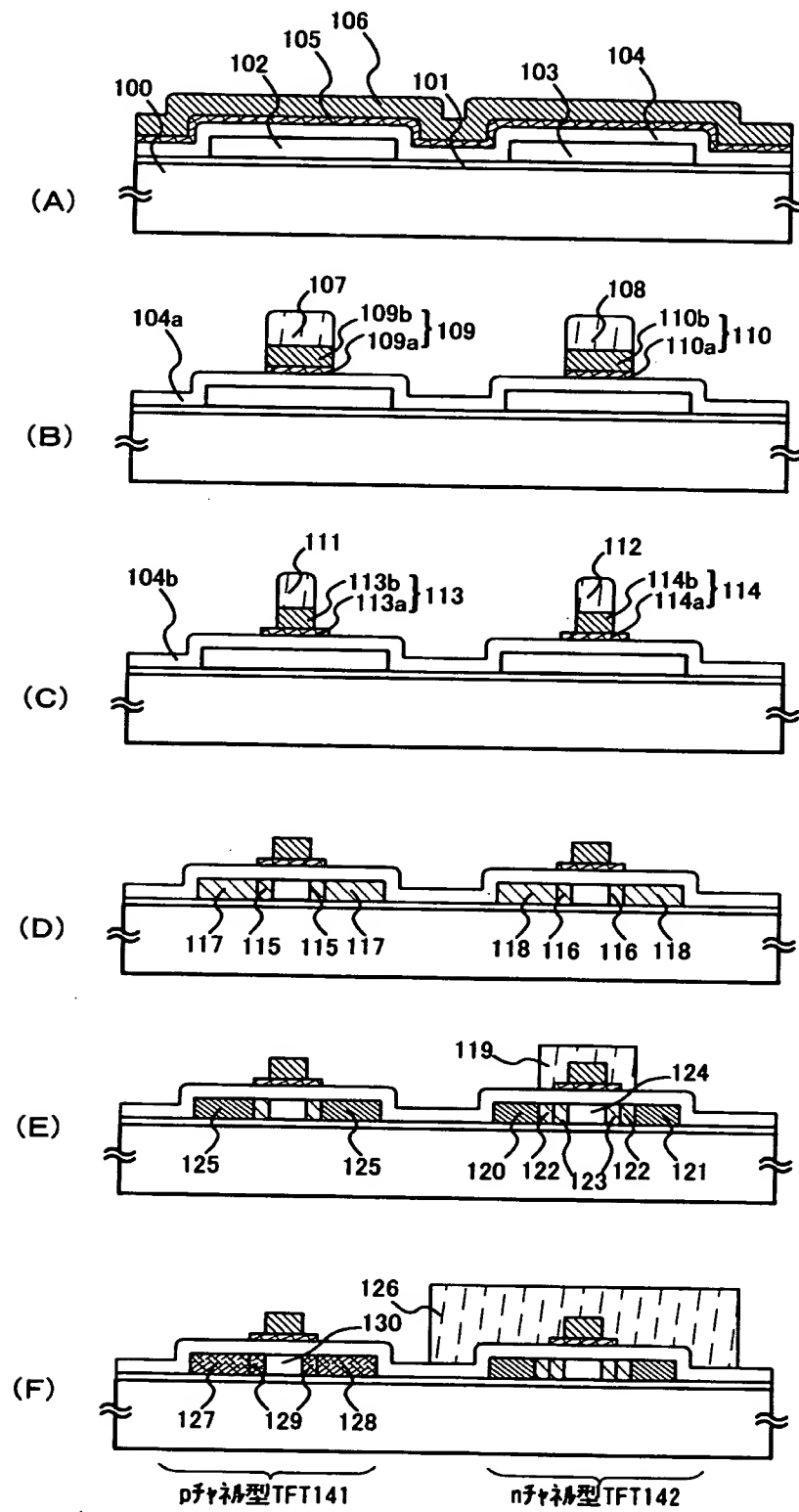
1 3 0 チャネル形成領域

1 4 1 p チャネル方 T F T

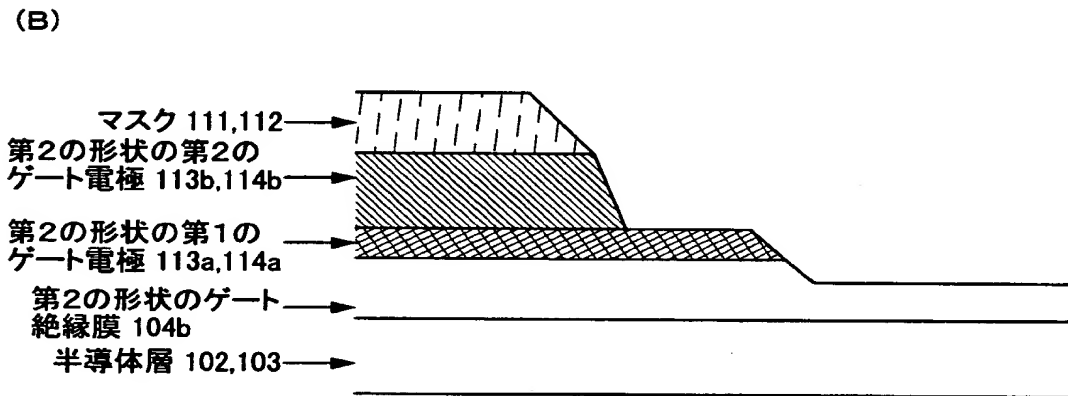
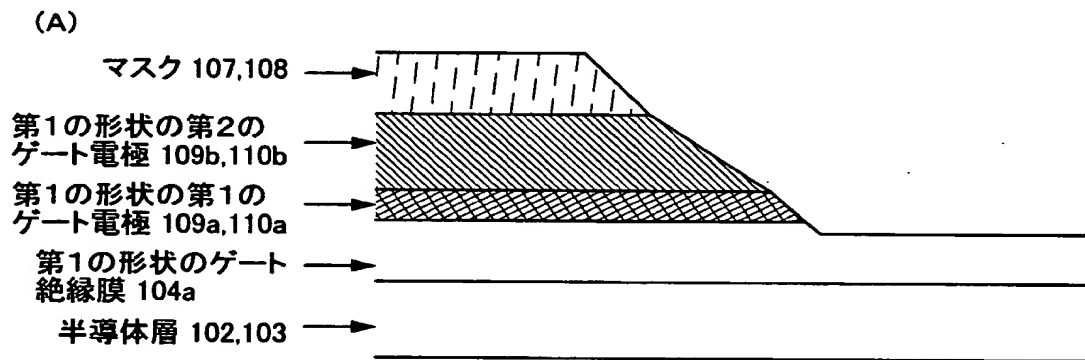
1 4 2 n チャネル型 T F T

【書類名】 図面

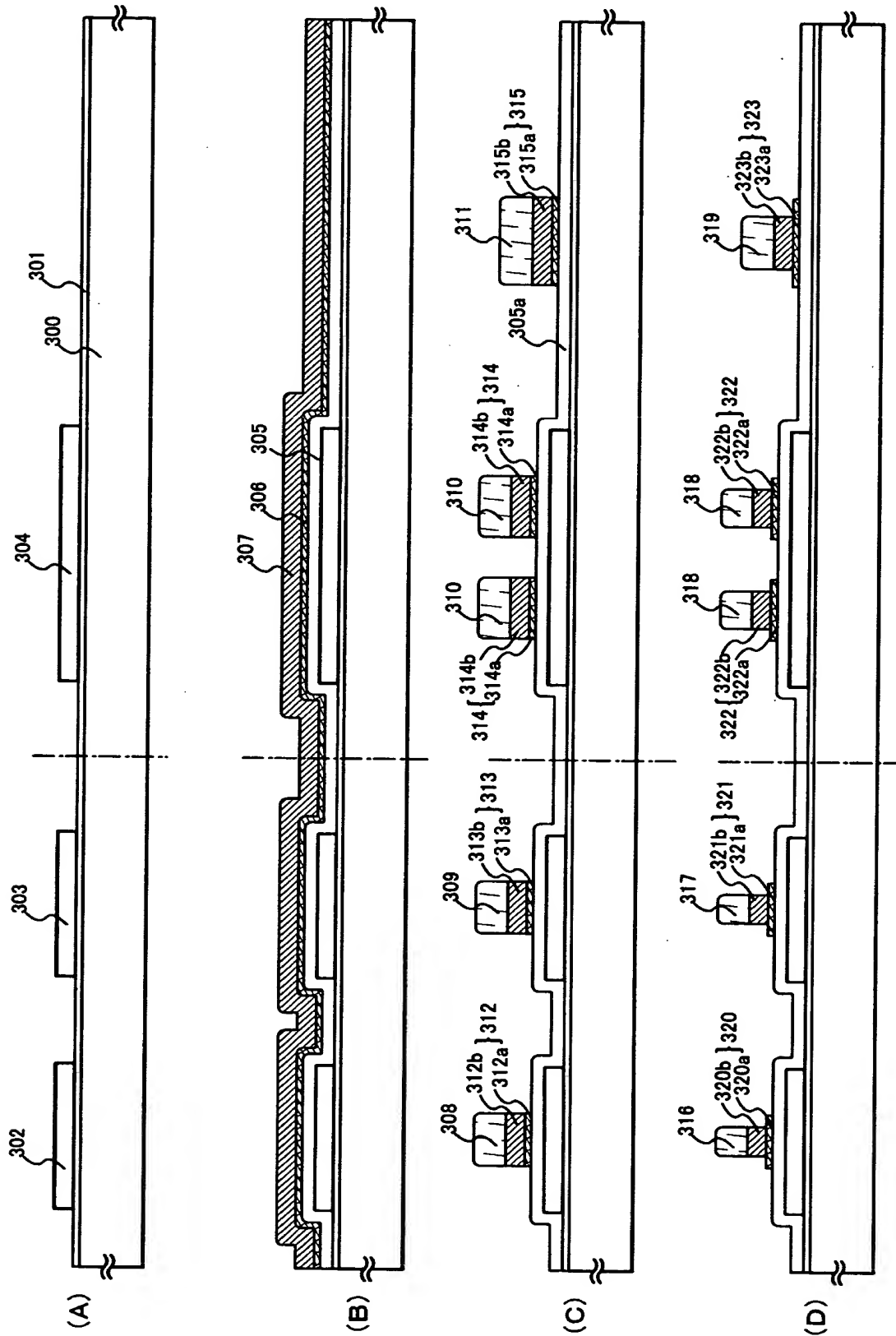
【図 1】



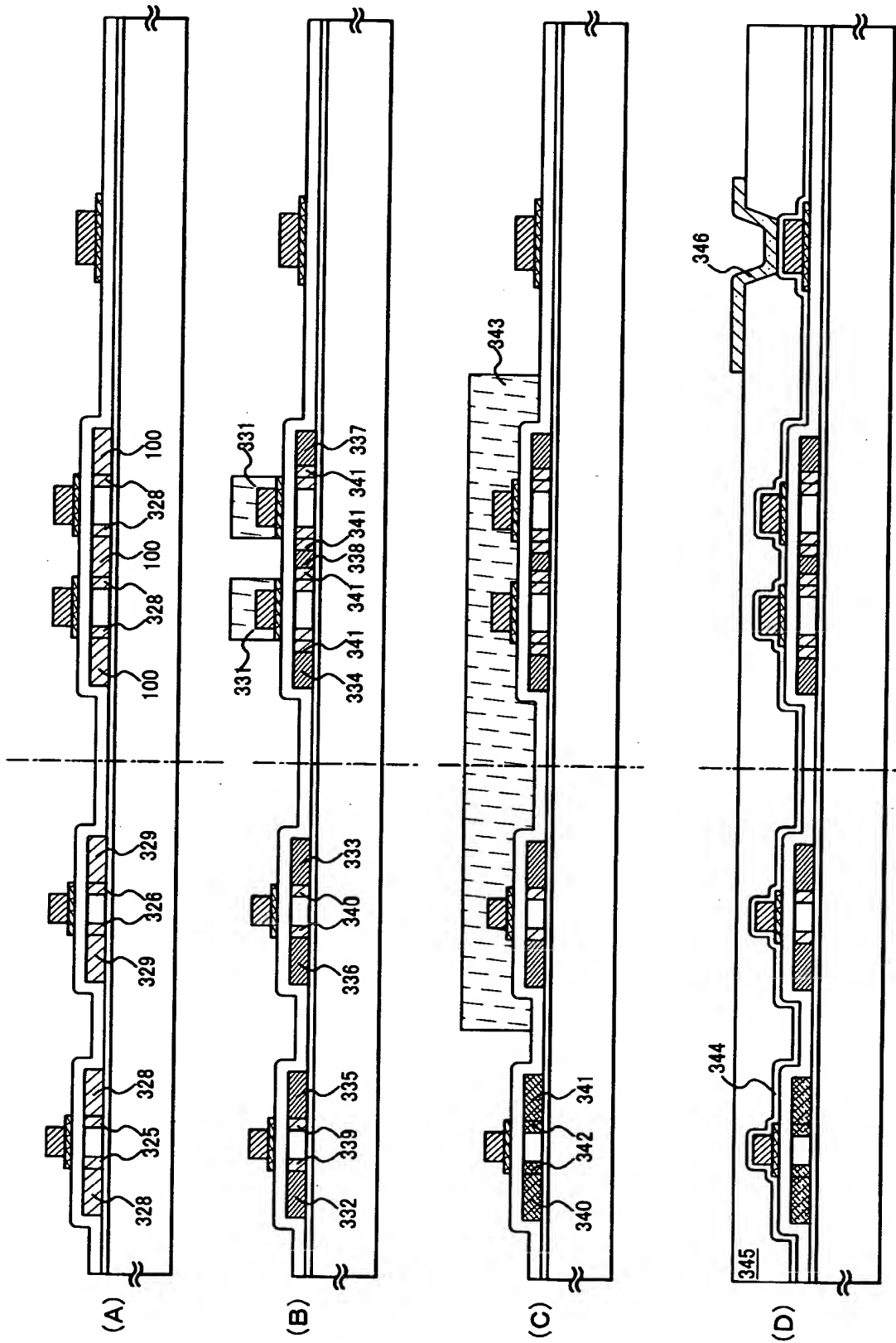
【図 2】



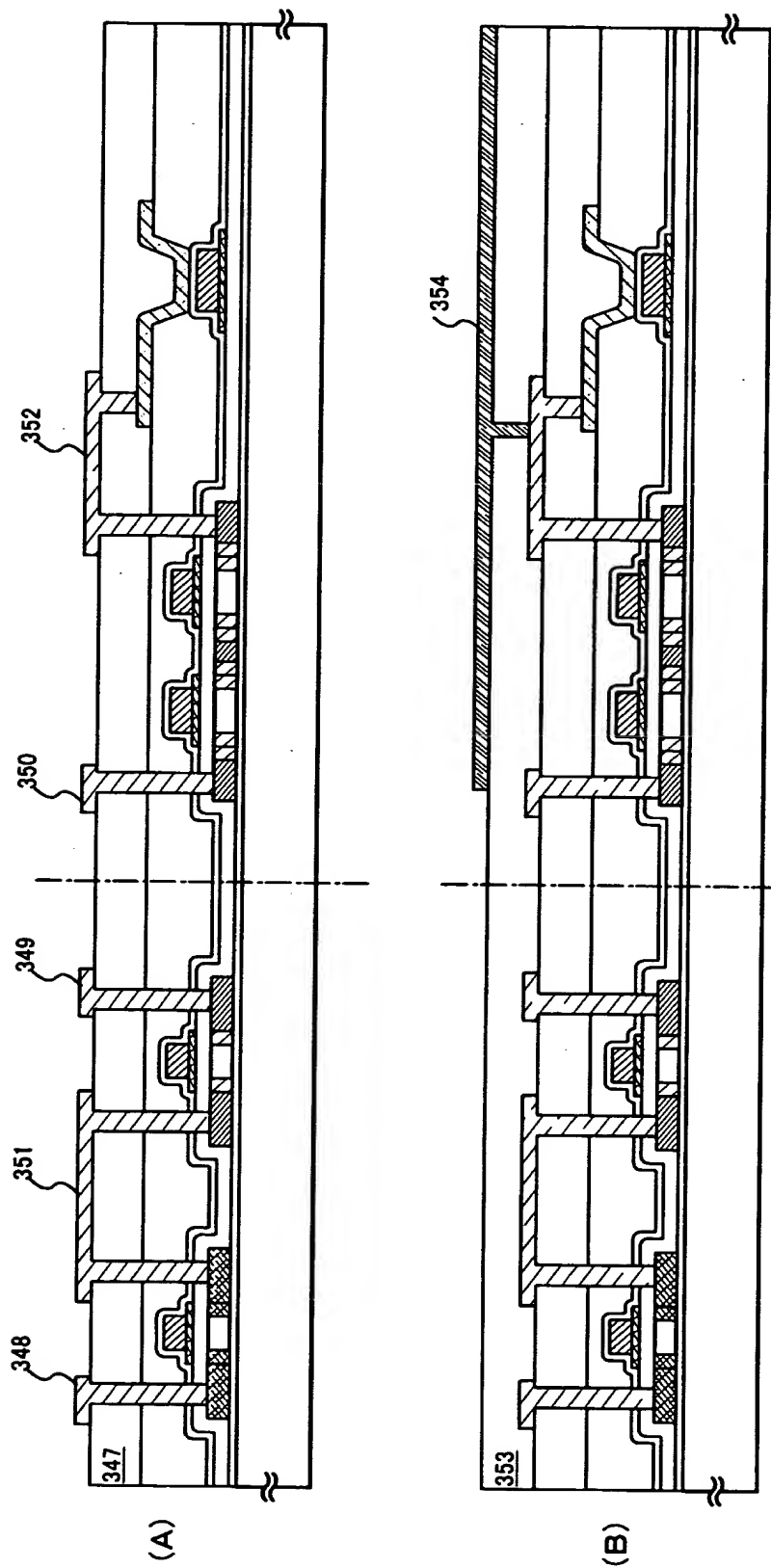
【図 3】



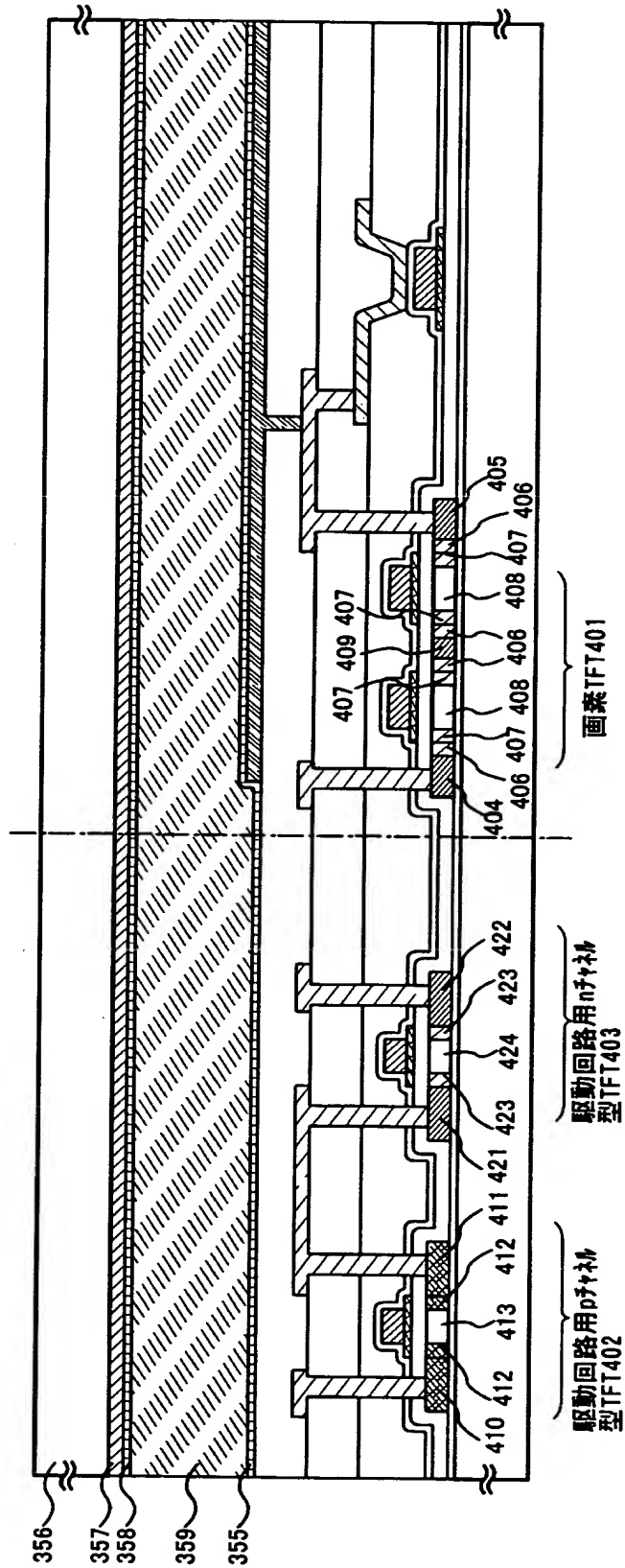
【図4】



【図 5】

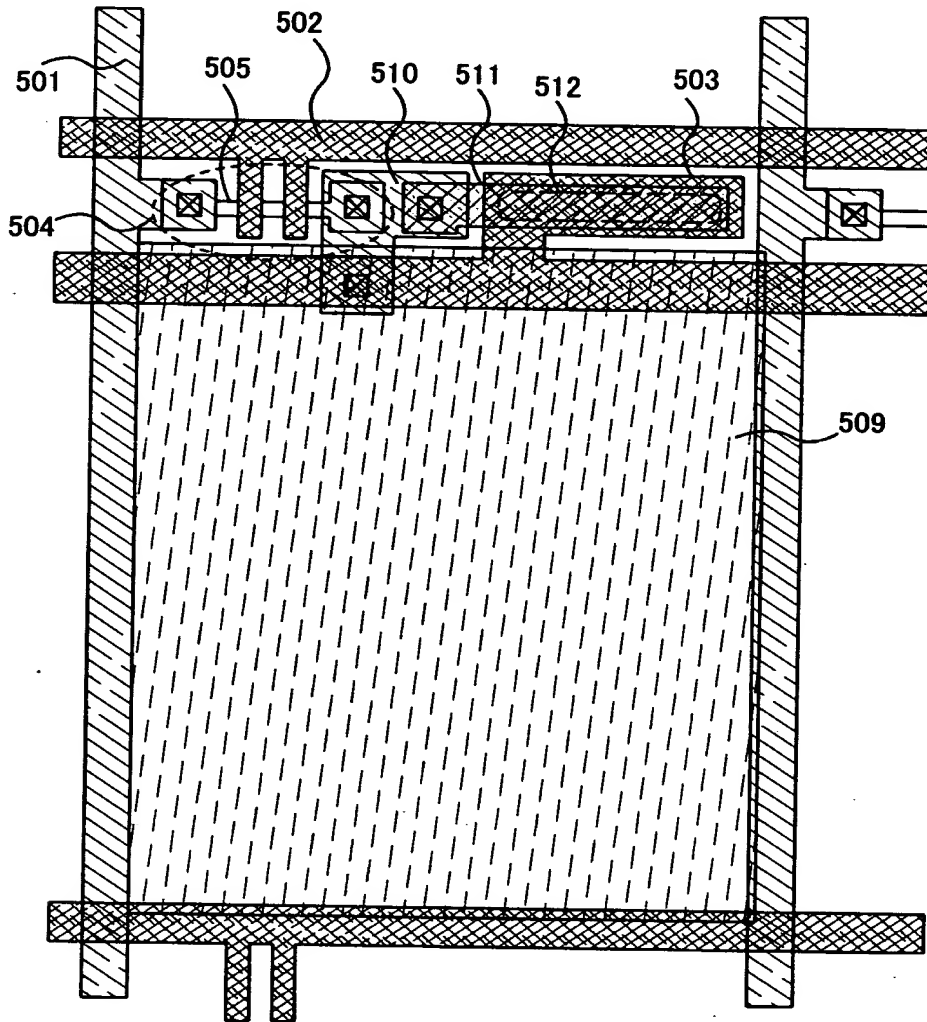


【図6】

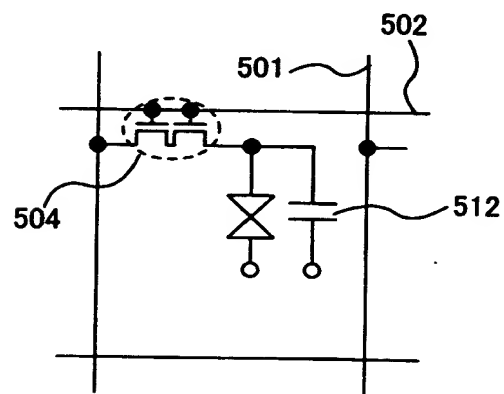


【図 7】

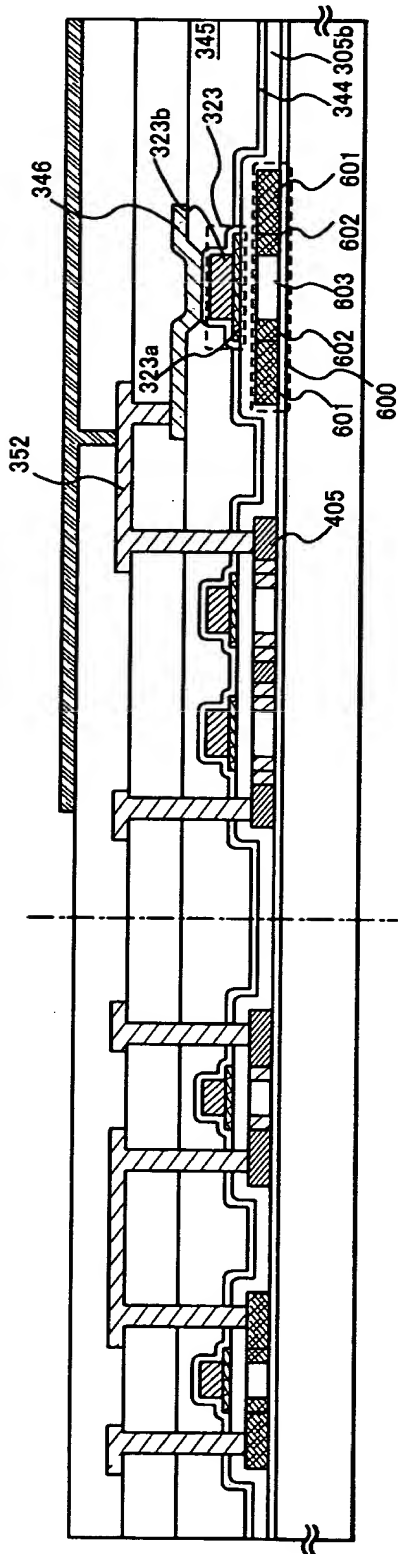
(A)



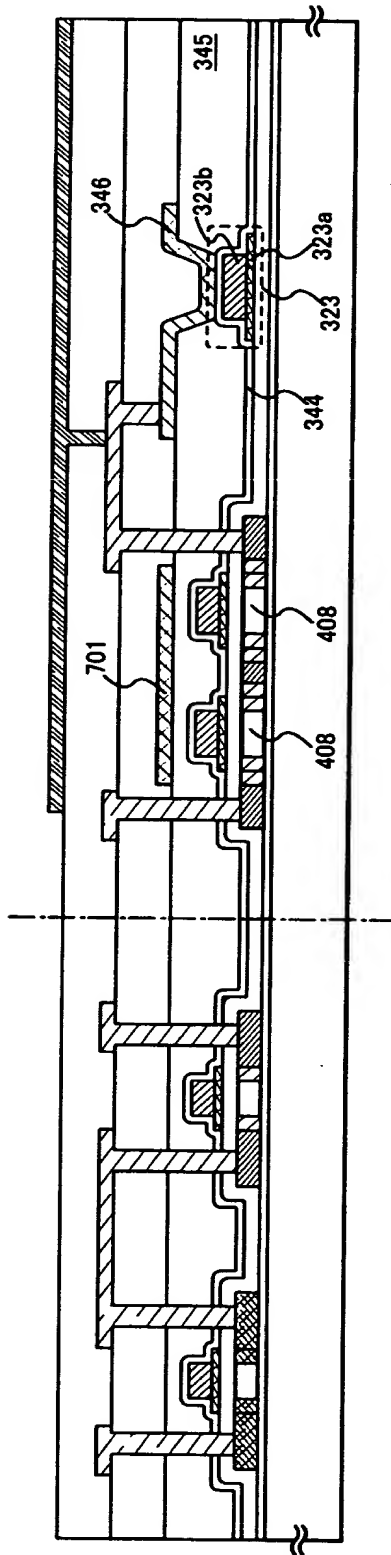
(B)



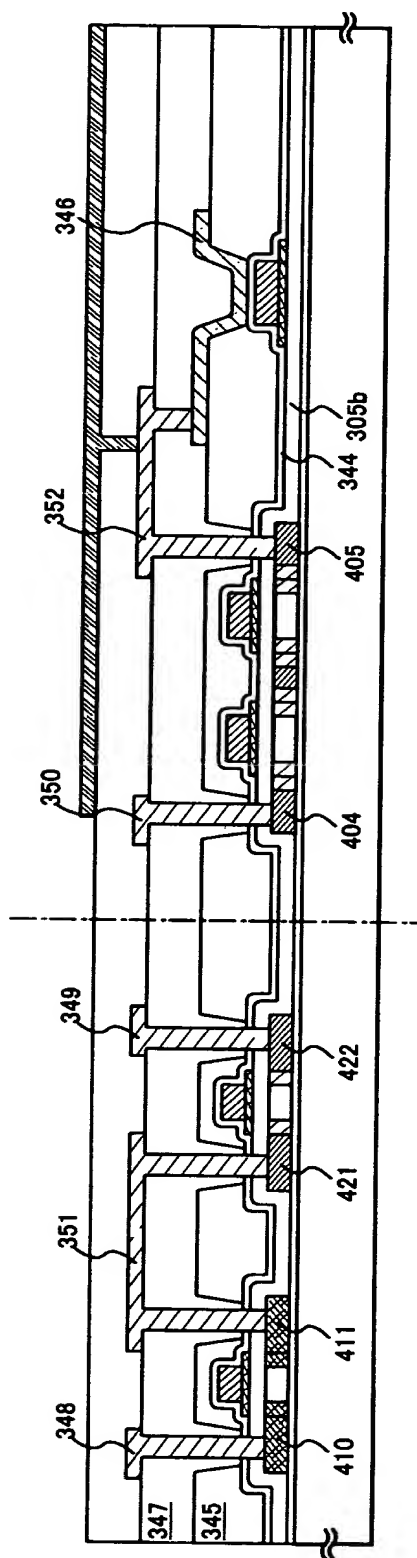
【図 8】



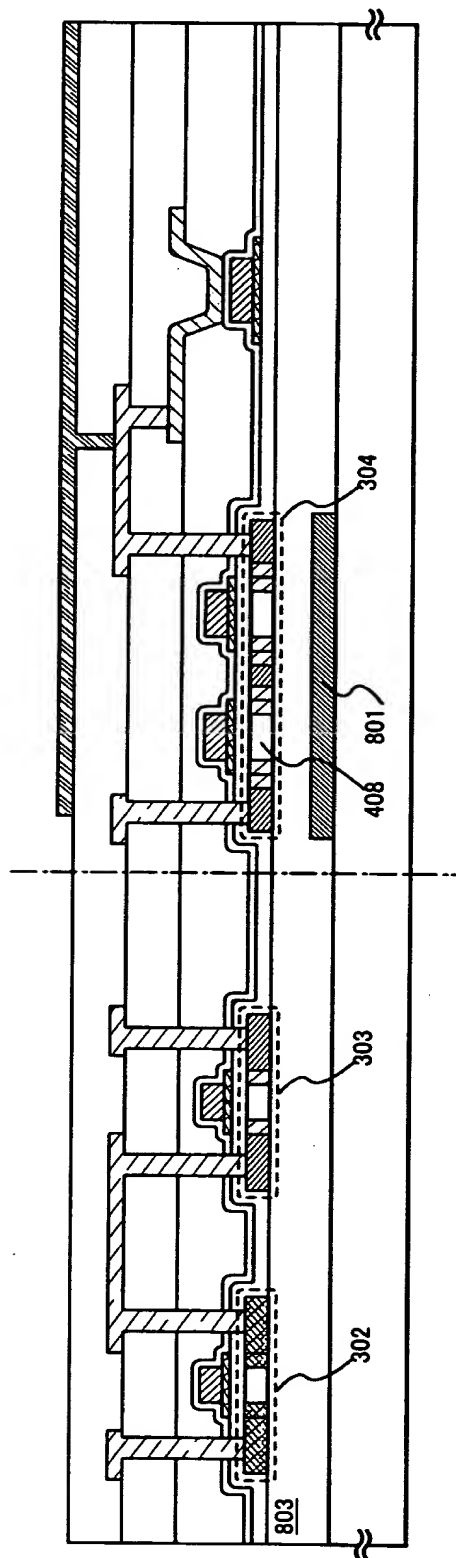
【図 9】



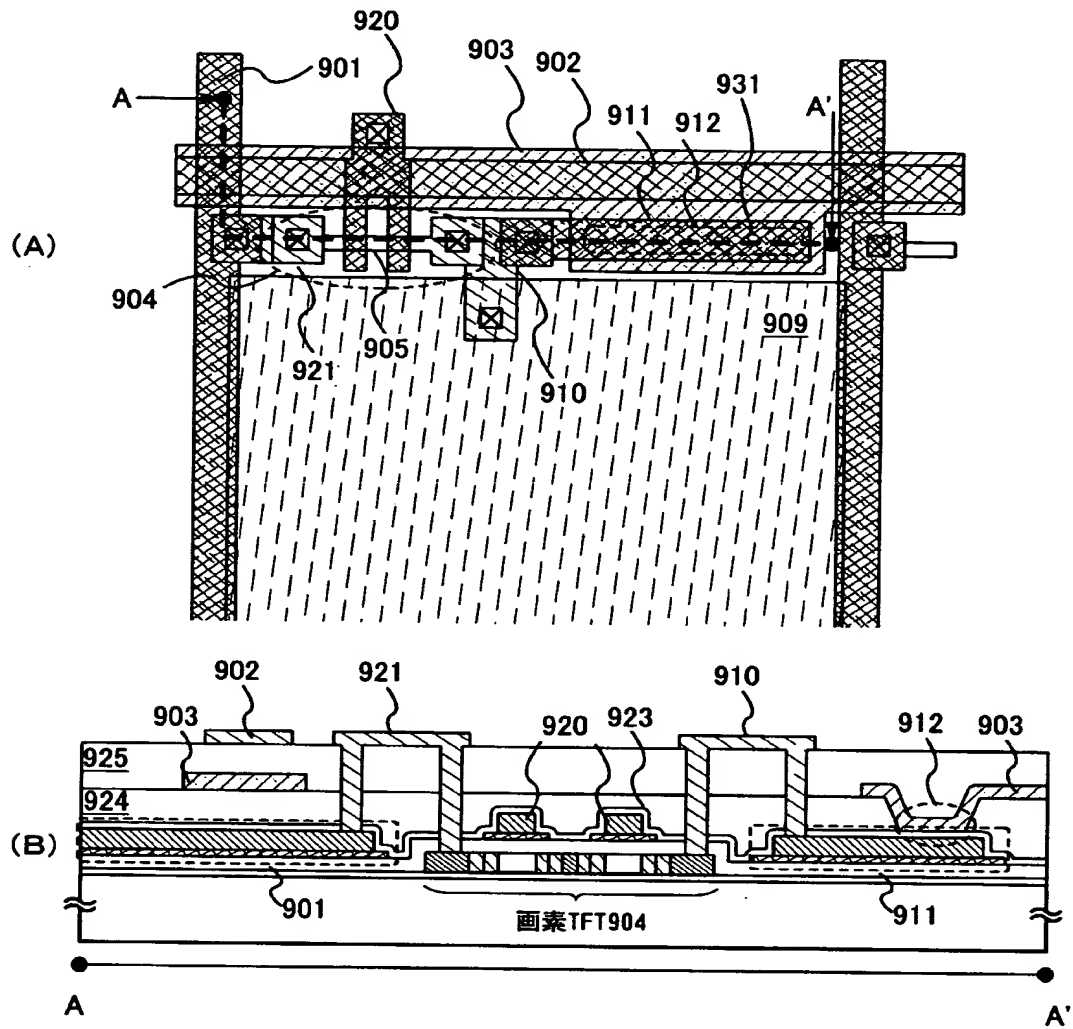
【図 1 0】



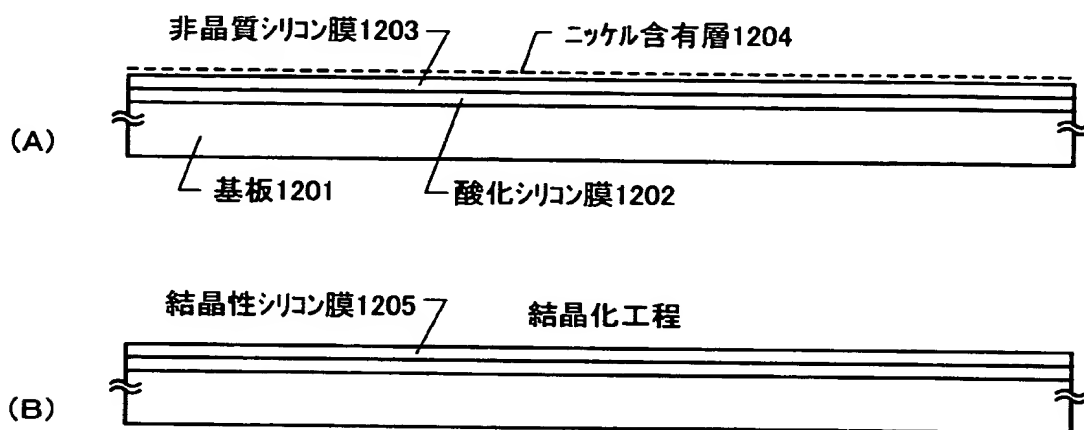
【図 1 1】



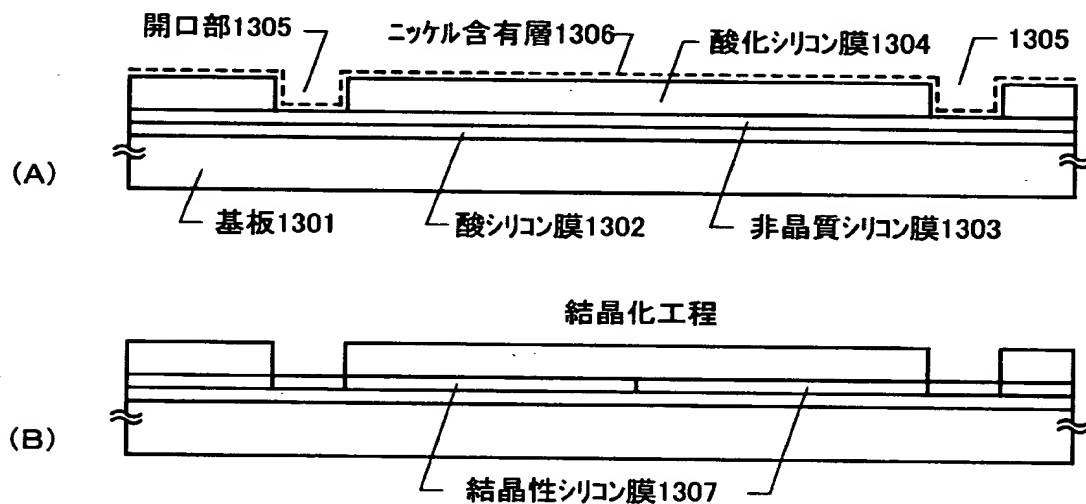
【図 1 2】



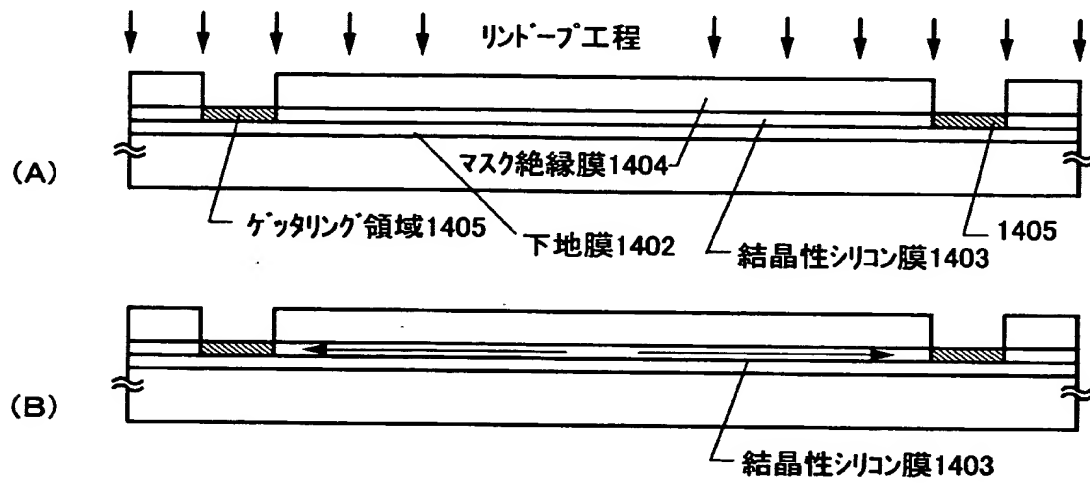
【図 1 3】



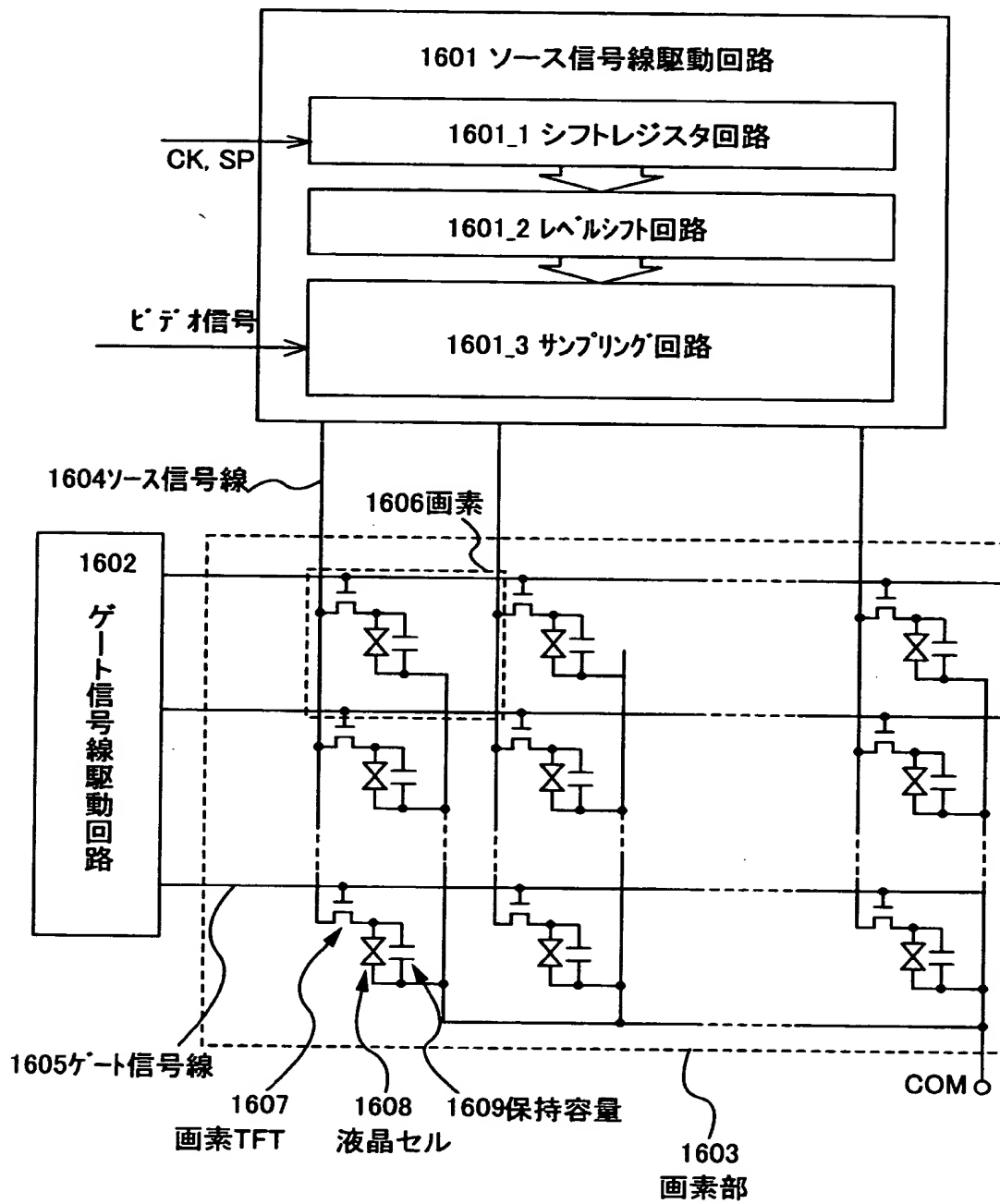
【図 1 4】



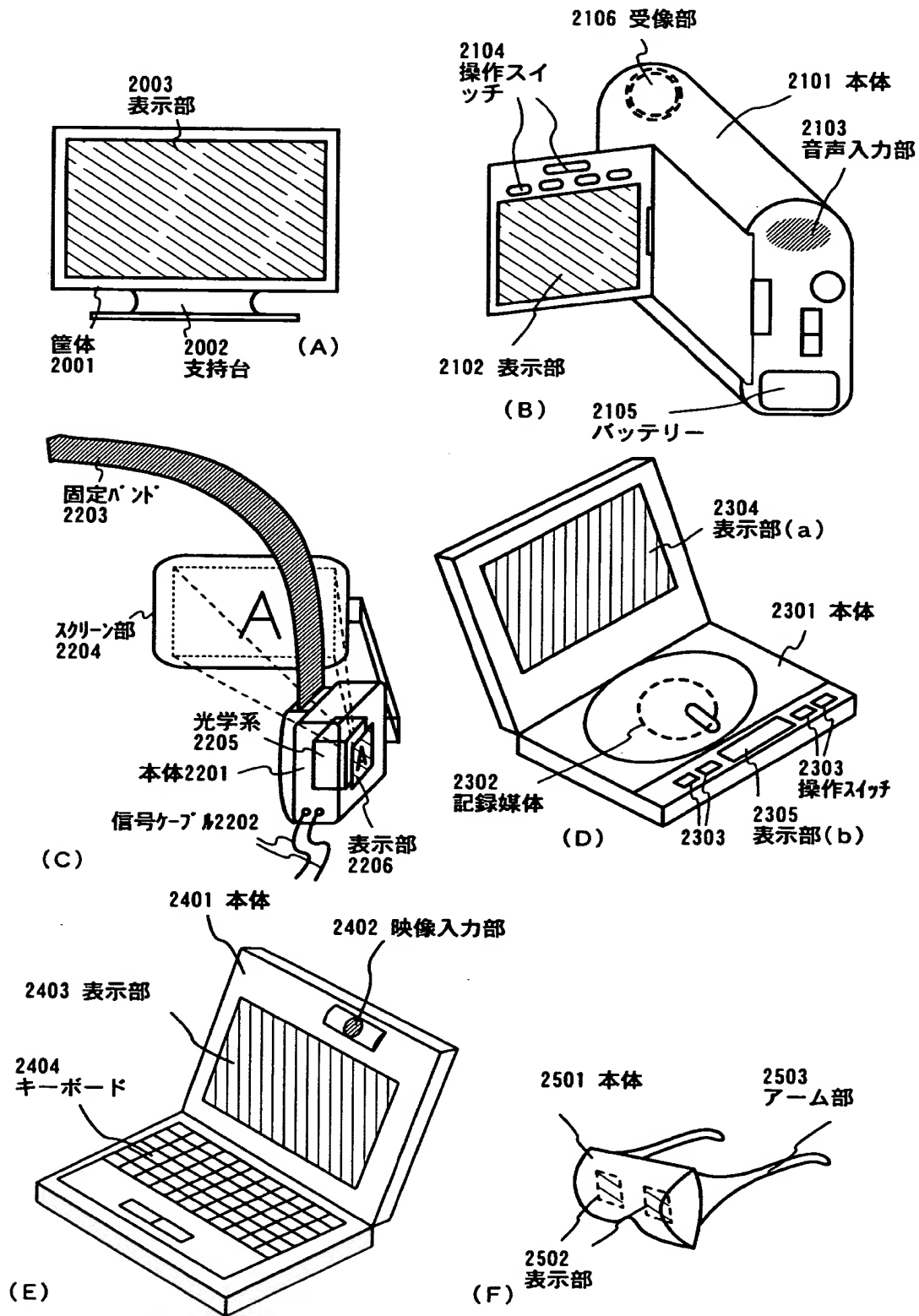
【図 1 5】



【図 1 6】



【図 17】



【書類名】 要約書

【要約】

【課題】 信頼性の高い半導体表示装置を提供する。

【解決手段】 半導体層は、チャンネル形成領域と、LDD領域と、ソース領域及びドレイン領域とを有しており、LDD領域はゲート絶縁膜を間に挟んで前記第1のゲート電極と重なっていることを特徴とする半導体表示装置

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日 1 9 9 0 年 8 月 1 7 日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷 3 9 8 番地

氏 名 株式会社半導体エネルギー研究所